R O D M A - D M A R O

Modulo DMA e "ROM caricatore"
Descrizione di funzionamento

Codice pubblicazione : 805.30.1
Codice aggiornamento : 02
Settembre 1978

I N D I C E

SEZIONE 1 - MODULO DMA

1 - CARATTERISTICHE E CAMPO DI APPLICAZIONE DELLA PIASTRA RODMA-DMARO . . pag. 1.1

2 - DESCRIZIONE DELLO SCHEMA A BLOCCHI DEL MODULO DMA SULLA PIASTRA RODMA-DMARO . . . . . " 1.3

SCHEMA A BLOCCHI DEL MODULO DMA . . . . . " 1.5

3 - SINCRONIZZAZIONE DELLE RICHIESTE DI COLLOQUIO CON MEMORIA DMA . . . . " 1.6
3.1 - Richiesta di unità centrale . . . . . " 1.6
3.2 - Richiesta di GOP . . . . . " 1.6
3.2.1 - Sincronizz. delle richieste dei GOP sulla DMARO . . . . " 1.7a
3.3 - Priorità tra richiesta di unità centrale e richiesta di GOP . . " 1.8

4 - TEMPORIZZAZIONE . . . . . " 1.8

5 - LOGICA DI GESTIONE DEI COLLOQUI CON LA MEMORIA IN DMA . . . . . " 1.8
5.1 - Ciclo assegnato all'unità centrale (PRWBO=1) . . . . . " 1.8
5.2 - Ciclo assegnato ai GOP in DMA . . . . . " 1.9
5.3 - Fine ciclo di memoria in DMA . . . . . " 1.9
5.4 - Fine ciclo per l'unità centrale . . . . . " 1.9
5.5 - Fine ciclo per i GOP in DMA . . . . . " 1.9
5.6 - Segnalazione di fuori memoria . . . . . " 1.10
5.6.1 - Fuori memoria per i GOP in DMA . . . . . " 1.10
5.6.2 - Fuori memoria per unità centrale . . . . . " 1.10
5.7 - Priorità tra i GOP in DMA . . . . . " 1.10
5.8 - Diagrammi dei colloqui . . . . . " 1.11
5.8.1 - Richiesta di colloquio di unità centrale . . . . . " 1.11
5.8.2 - Richiesta di colloquio di GOP . . . . . " 1.11
5.8.3 - Richieste consecutive di scambio di GOP (gestione code) " 1.12
5.8.4 - Richieste di colloquio di GOP e di unità centrale . . . " 1.12

6 - PROGRAMMAZIONE PER LA SUDDIVISIONE DELLA MEMORIA: MEMORIA IN DMA E DI U.C. . . . . " 1.13

7 - TABELLE RIASSUNTIVE DELLA PROGRAMMAZIONE DELLA MEMORIA IN DMA . . . . " 1.16

SEZIONE 2 - "ROM CARICATORE"

1 - DESCRIZIONE DELLA "ROM CARICATORE" . . . . . pag. 2.1
1.1 - Descrizione dello schema a blocchi . . . . . " 2.1
1.2 - Partenza della temporizzazione . . . . . " 2.1
1.3 - Selezione della memoria . . . . . " 2.2
1.4 - Passaggio del codice della memoria sul canale ME . . . . . " 2.2
1.5 - Fine ciclo di memoria . . . . . " 2.2
1.6 - Temporizzazione di un tempo di memoria . . . . . " 2.3

SCHEMA A BLOCCHI DELLA "ROM CARICATORE" . . . . . " 2.5

2 - PROGRAMMAZIONE DELLA SELEZIONE DELLA "ROM CARICATORE" . . . . . " 2.6
2.1 - Programmazione per la memoria in versione ROM . . . . . " 2.6
2.2 - Programmazione per la memoria in versione PROM . . . . . " 2.7

3 - TABELLE RIASSUNTIVE DELLA PROGRAMMAZIONE DELLA ROM . . . . . " 2.8

4 - TABELLE RIASSUNTIVE DELLA PROGRAMMAZIONE DELLA PROM . . . . . " 2.9

PREFAZIONE

La presente pubblicazione contiene la descrizione logica di funzionamento della RODMA che viene impiegata su sistemi con la CPU19 (U. C 1009).
Con la piastra RODMA si effettua il collegamento DMA (memoria ad accesso diretto) perciò l'impiego della pubblicazione è previsto in tutti i corsi 2L dei sistemi che utilizzano il DMA.
I tecnici che hanno seguito corsi di sistemi aventi la CPU19 possono usare la pubblicazione per l'aggiornamento autonomo.
La pubblicazione è divisa in due sezioni: la prima tratta il modulo DMA vero e proprio mentre la seconda descrive il funzionamento della "ROM caricatore".
Tale soluzione è stata scelta per includere in un'unica pubblicazione l'intera piastra RODMA, non vi sono comunque preclusioni a limitare lo studio, quando necessario, al solo modulo DMA.

NOTA

Nella descrizione dei circuiti si fa riferimento alla loro posizione nella raccolta schemi logici, codice: 805. 01. 0.
Con gli eventuali aggiornamenti degli schemi vi possono essere modifiche nella posizione dei circuiti; se nello studio emergono discordanze si dovrà pensare all'eventuale aggiornamento.

1 - CARATTERISTICHE E CAMPO DI APPLICAZIONE DELLA PIASTRA RODMA/DMARO

La piastra RODMA effettua il collegamento diretto tra un'unità periferica e la memoria RAM senza il passaggio obbligato dei dati attraverso l'unità centrale. Questo tipo di collegamento è chiamato DMA (direct memory access) cioè accesso diretto a memoria; con questo tipo di collegamento le unità operano con la memoria senza sfruttare le risorse di unità centrale e con una velocità che è limitata dal solo tempo di accesso in memoria.

Le unità periferiche e la RAM che costituiscono la parte hardware vengono chiamate rispettivamente unità periferiche in DMA e RAM in DMA.

Le unità periferiche in DMA scambiano con la RAM in DMA i byte di I/O senza interessare l'unità centrale, perciò lo scambio risulta più veloce; di conseguenza diventa più veloce anche la gestione dell'intero sistema.

Il collegamento DMA consente essenzialmente di risolvere i problemi relativi alle unità periferiche aventi le seguenti caratteristiche:

a) frequenza di trasferimento di punta verso memoria maggiore di quella gestibile dai canali di unità centrale (ad esempio: unità a disco)

   Il DMA risolve il problema con un nuovo canale il cui limite superiore di frequenza è dato solo dalla banda passante dei moduli di memoria

b) frequenza di trasferimento di punta non elevata però con un elevato carico medio sui canali di unità centrale (ad esempio: rinfresco di unità con tubi a raggi catodici).

Con l'impiego del modulo DMA occorre suddividere la memoria in due zone separate:

- memoria riservata ad unità centrale
- memoria ad accesso diretto

Nella zona di memoria riservata ad unità centrale può accedere solo l'unità centrale quindi questa zona rappresenta la normale memoria che si utilizza anche senza DMA.

Alla zona di memoria ad accesso diretto, oltre all'unità centrale, possono accedere anche tutti i GOP che lavorano in DMA.

L'indirizzo di memoria che costituisce il confine tra le due zone è programmabile sulla piastra RODMA tramite ponticelli; l'indirizzo è programmabile di 2Kw in 2Kw e la capacità di memoria ad accesso diretto può variare da 0 a 62 Kw.

Sono usati tre modi di suddivisione fisica della memoria:

MODO A: memoria in DMA con indirizzi inferiori a quelli di memoria riservata

Infigura 1.1 è indicato il primo modo di suddivisione della memoria; le frecce indicano che l'indirizzo di confine può essere disposto ogni 2Kw a partire dai 2 Kw iniziali fino a 62 Kw.

Dopo che si è fissato l'indirizzo di confine la memoria ad accesso diretto è quella con gli indirizzi minori dell'indirizzo di confine (cioè a destra) e la memoria riservata ad U.C è quella con gli indirizzi maggiori.

In figura 1.2 c'è un esempio in cui l'indirizzo di confine è stato posto a 3FFF cioè si hanno 16 Kw di memoria in DMA (0000÷3FFF) e 48 Kw di memoria riservata ad U.C.

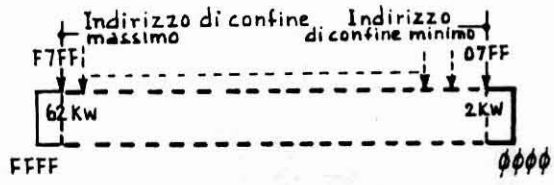


Fig. 1.1

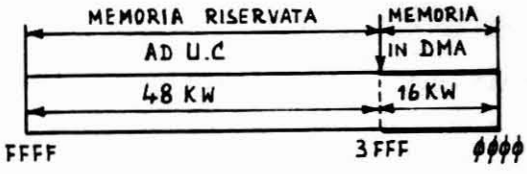


Fig. 1.2

MODO B: memoria in DMA con indirizzi superiori a quelli di memoria riservata

Il secondo modo di suddivisione della memoria è simile al primo solo che le due zone sono invertite di posizione; in figura 1. 3 c'èun esempio in cui l'indirizzo di confine è stato posto ad A8ØØ perciò si hanno 22 Kw di memoria in DMA(FFFF÷A8ØØ) e 42 Kw di memoria riservata ad U. C.

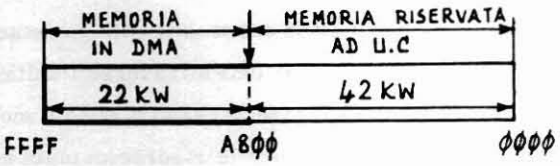


Fig. 1. 3

MODO C: memoria in DMA compresa tra due zone riservate ad unità centrale

Il terzo modo di suddivisione della memoria è indicato in figura 1. 4; la zona in DMA inizia all'indirizzo 8ØØØ (sempre fisso) e può estendersi al massimo fino all'indirizzo Ø8ØØ cioè 2Kw prima di ØØØØ.

Con questo tipo di suddivisione la memoria in DMA rimane compresa tra due zone di memoria riservata ad U. C.

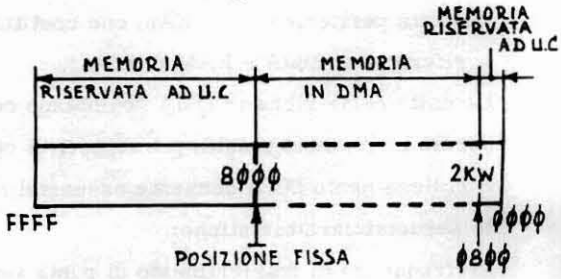


Fig. 1. 4

In figura 1. 5 c'è un esempio in cui la memoria in DMA è compresa tra 8ØØØ e 2ØØØ cioè ha una capacità di 24 Kw; le zone di memoria riservata ad unità centrale hanno la capacità di 32 Kw e 8 Kw.

(Le tabelle per la programmazione dei ponticelli sono riportate nel capitolo relativo).

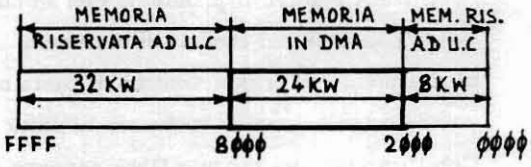


Fig. 1. 5

La posizione della piastra RODMA e/o DMARO nella cassettiera è rigida e costituisce il confine tra due zone distinte:

da un lato la zona di unità centrale dove sono situate l'unità centrale e la memoria riservata ad U. C. ; dall'altro lato la zona DMA dove sono situati i GOP in DMA e la memoria in DMA. I GOP che non lavorano in DMA possono essere situati in entrambe le zone.

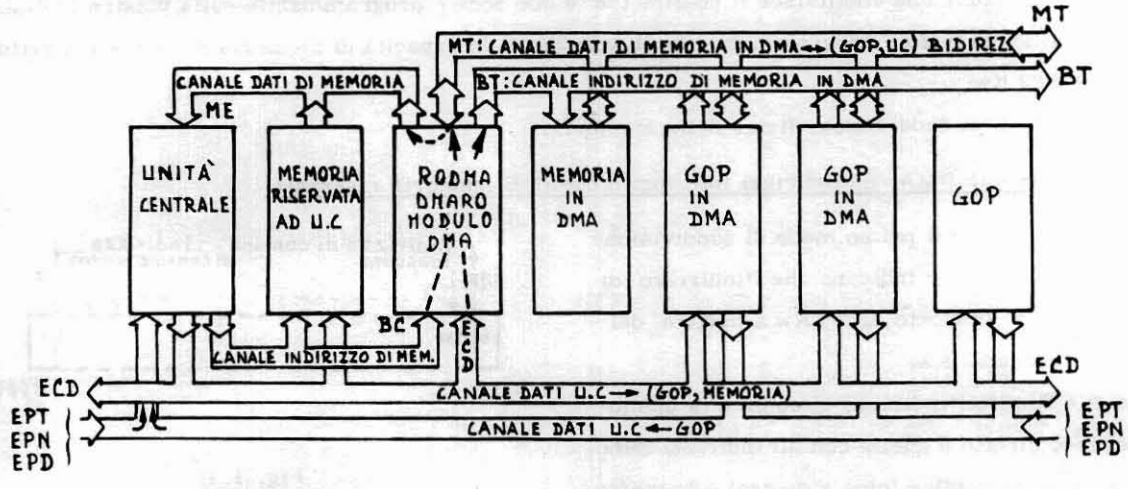


Fig. 1. 6

L'unità centrale può registrare e leggere in memoria DMA: (si osservi la figura 1. 6)

- in registrazione gli indirizzi BC diventano BT sulla RODMA e/o DMARO i dati ECD sono trasformati in MT
- in lettura gli indirizzi BC diventano BT mentre i dati letti MT diventano ME (il canale MT è bidirezionale)

Si può notare che il canale ECD, da unità centrale va anche sui GOP in DMA; però l'U. C. può inviare solo dei comandi ma non dei dati. Infatti i GOP in DMA effettuano lo scambio dei dati solo con la memoria in DMA; gli indirizzi sono generati dai GOP stessi sul canale BT e i dati di lettura/registrazione passano sul canale MT.

2 - DESCRIZIONE DELLO SCHEMA A BLOCCHI DEL MODULO DMA SULLA PIASTRA RODMA - DMARO

La piastra RODMA e/o DMARO può essere divisa in due parti:

1 - Logica del modulo DMA

2 - "ROM caricatore"

1) La logica del modulo DMA rappresenta i circuiti che gestiscono il colloquio tra l'unità centrale, i GOP in DMA e la memoria in DMA

2) La "ROM caricatore" è costituita da 4 package di ROM o di PROM con i relativi circuiti di pilotaggio; in questi package possono essere memorizzati i microprogrammi di caricamento del firmware e del software di sistema.

   La "ROM caricatore" non fa quindi parte della logica del DMA ma rappresenta una memoria che è stata inserita sulla RODMA per evitare di utilizzare una piastra a se stante.

Per questi motivi abbiamo separato gli schemi a blocchi: il modulo DMA è in figura 1. 7 e la "ROM caricatore in figura 2. 2.

Prima di passare alla descrizione del modulo DMA esaminiamo la sua funzione nei tre tipi di colloquio che si possono effettuare.

1) Colloquio tra unità centrale e memoria riservata ad unità centrale

   In questo tipo di colloquio il modulo DMA non è utilizzato; l'unità centrale gestisce il colloquio e i canali utilizzati sono BC, ECD e ME.

2) Colloquio tra GOP in DMA e memoria ad accesso diretto

   La gestione del colloquio è affidata al modulo DMA; il canale BT indirizza la memoria ad accesso diretto e il canale MT rappresenta, a seconda dei casi; i dati da registrare o i dati letti nella memoria.

2) Colloquio tra unità centrale e memoria ad accesso diretto

   La gestione del colloquio è affidata sia ad unità centrale sia al modulo DMA; l'unità centrale invia l'indirizzo sul canale BC che tramite un circuito 3-state viene immesso sul canale BT. Se l'unità centrale vuole effettuare una registrazione invia i dati sul canale ECD che tramite i circuiti 3-state viene immesso sul canale MT.

   In caso di lettura di memoria il canale MT viene immesso tramite i circuiti 3-state sul canale ME.

A proposito di questi tipi di colloquio si possono fare le seguenti considerazioni:

- se l'unità centrale sta colloquiando con la sua memoria riservata può essere in corso anche un colloquio tra GOP e memoria in DMA
- i GOP in DMA non possono accedere alla memoria ad accesso diretto quando è già in corso un colloquio tra questa memoria e l'unità centrale; analogamente l'unità centrale non può accedere alla memoria in DMA se è già in corso un colloquio tra GOP e memoria.

Se vi sono richieste contemporanee di unità centrale e GOP per accedere a memoria in DMA viene data la priorità ai GOP

Seguendo lo schema a blocchi di fig. 1. 7 vediamo come avviene in linea generale il colloquio tra unità centrale e memoria ad accesso diretto.

Per avviare il colloquio con la memoria il modulo DMA deve posizionare a 1 il segnale STARO; dopo l'avvio del colloquio, la memoria è controllata dai segnali BT, MT e OWB per indirizzare, registrare od eventualmente leggere la memoria. Alla fine del ciclo la memoria invia il segnale READN.

Quando l'unità centrale invia il segnale di via memoria WBCOO, sul canale BC c'è l'indirizzo di memoria; se l'indirizzo appartiene alla memoria in DMA va ad 1 EXM10 che abilita la sincronizzazione di WBCOO con la temporizzazione del modulo DMA. WBCSO rappresenta perciò la richiesta di colloquio sincronizzata.

A questo punto c'è una rete di priorità tra le richieste di unità centrale e quelle dei GOP; supponiamo che i GOP non abbiano inviato richieste perciò con WBCS0=1 può nascere PRWBO che significa ciclo assegnato all'unità centrale. PRWBO tramite la temporizzazione manda a 1 STARO che fa iniziare il colloquio.
Con l'abilitazione di PRWBO gli indirizzi BC passano su BT; se si è in fase di registrazione di memoria il canale ECD passa su MT e i dati sono scritti in memoria da OWBPN, OWBMN che ripetono WMBPN e WMBMN provenienti da unità centrale. In fase di lettura i dati letti in memoria passano sul canale MT e quindi vanno al canale ME.
A fine ciclo la memoria pone a 0 il segnale READN che passa su MEOCN per segnalare all'unità centrale la fine del colloquio.
Anche il colloquio tra GOP e memoria ad accesso diretto inizia con il segnale STAR0=1; dopo la partenza, il colloquio è simile a quello visto in precedenza.
I GOP effettuano la richiesta di colloquio in DMA con il segnale REQON che è in wired-or con tutti i GOP; la richiesta REQON viene sincronizzata con la temporizzazione del modulo DMA per generare REQSO=1.
Anche in caso di richieste contemporanee da GOP e da unità centrale la rete di priorità genera PRRQO per segnalare che il ciclo di memoria è stato assegnato ai GOP. Infatti WBCSO non può bloccare la generazione di PRRQO mentre REQSO blocca sicuramente la generazione di PRWBO.
PRRQO tramite la temporizzazione manda a 1 STARO per iniziare il colloquio, che è appena stato abilitato con l'invio di ACKOA ai GOP.
Gli indirizzi di memoria sono forniti direttamente dai GOP sul canale BT e i dati MT di registrazione/lettura passano dai GOP a memoria e viceversa. La registrazione o lettura in memoria dipendono da OWBPN e OWBMN che in questo caso ripetono i corrispondenti segnali provenienti da GOP, cioè WUPPN e WUPMN.
A fine ciclo la memoria pone a 0 READN che con PRRQO genera DONEA per segnalare ai GOP la fine del colloquio.
Un caso particolare è la segnalazione di fuori memoria tramite il segnale INVV1. La segnalazione di fuori memoria per GOP in DMA è generata dalla memoria e viene mandata a tutti i GOP: solo il GOP che sta effettuando il colloquio la prende in considerazione.
La segnalazione di fuori memoria per unità centrale è data dal segnale INVVO che è il wired-or tra la segnalazione di fuori memoria proveniente dalla memoria riservata ad U.C e la segnalazione analoga generata sul modulo DMA.
Il modulo DMA riceve INVV1 dalla memoria ad accesso diretto e lo lascia passare verso l'U.C. sul filo INVVO se il tentativo di accesso a memoria ad indirizzo inesistente era stato fatto dall'unità centrale.

SCHEMA A BLOCCHI DEL MODULO DMA

INTERFACCIA RODMA ↔ CPU19 (PER IL MODULO DMA)

SIGNIFICATO	LIVELLO	NOME
SEGNALE DI VIA MEMORIA	100 ns	WBC00
SEGNALE DI FASE α	1	ALFA1
CANALE INDIRIZZO DI MEMORIA	1	BC000 ÷ BC150
CANALE DATI: U.C → MEMORIA / GOP	0	ECDON ÷ ECDFN
SCRIVI A 16 BIT	M=0 P=0	WMBMN
SCRIVI BYTE MENO SIGNIFICAT.	0 1	
SCRIVI BYTE PIÙ SIGNIFICATIVO	1 0	WMBPN
LEGGI A 16 BIT	1 1	
CANALE DATI IN USCITA DALLA MEMORIA: MEMORIA → U.C	1	ME000 ÷ ME150
RISPOSTA AD U.C IN SEGUITO A COMANDO DI VIA MEMORIA	200 ns	MEOCN
SEGNALE DI FUORI MEMORIA	1	INVVO

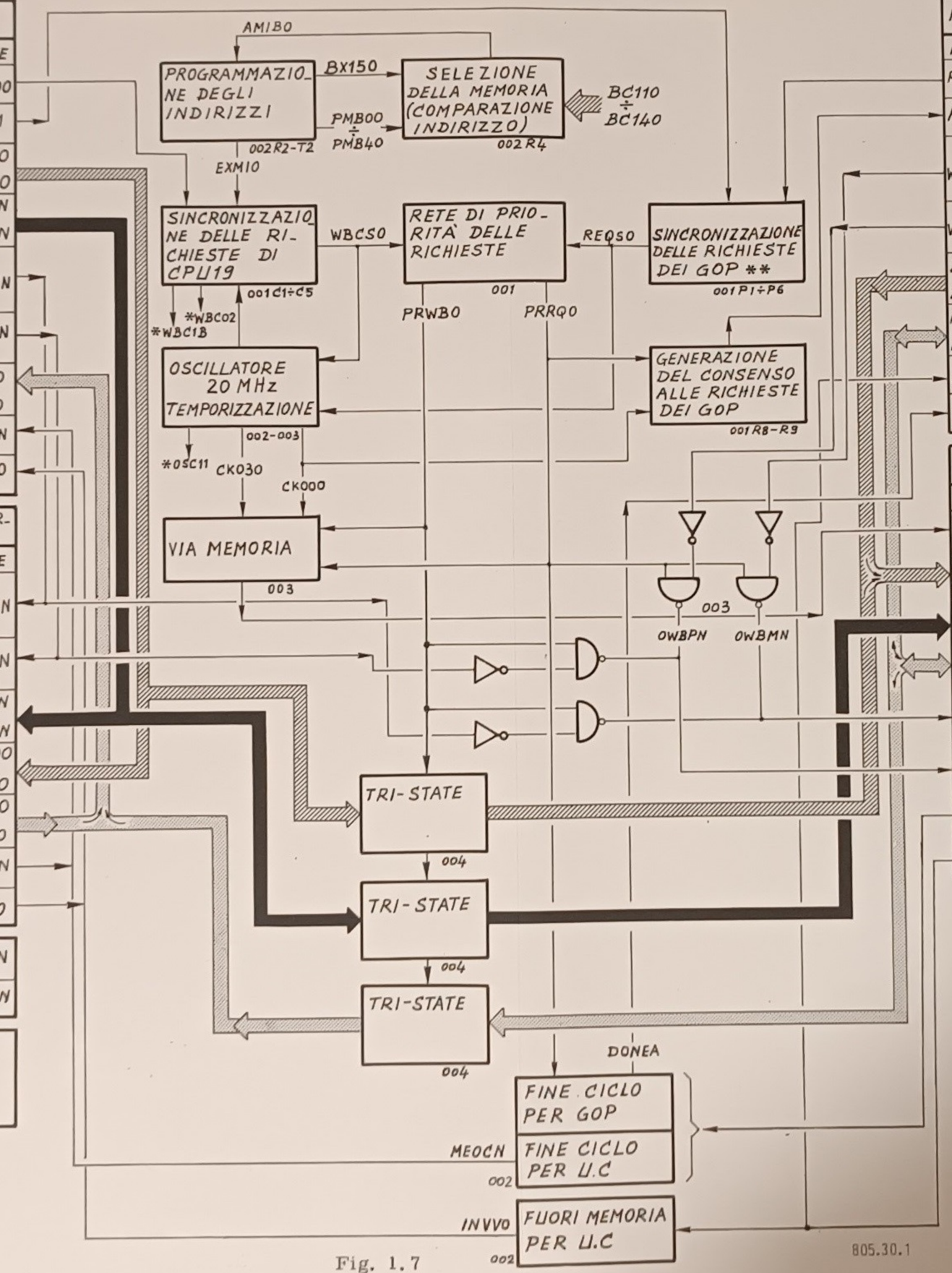
INTERFACCIA CPU19 ↔ MEMORIA RISERVATA A CPU19

SIGNIFICATO	LIVELLO	NOME
SCRIVI A 16 BIT	M=0 P=0	WMBMN
SCRIVI BYTE MENO SIGNIFICATIVO	0 1	
SCRIVI BYTE PIÙ SIGNIFICATIVO	1 0	WMBPN
LEGGI A 16 BIT	1 1	
CANALE DATI IN INGRESSO ALLA MEMORIA: MEMORIA ← U.C	0	ECDON ÷ ECDFN
CANALE INDIRIZZO DI MEMORIA	1	BC000 ÷ BC150
CANALE DATI IN USCITA DALLA MEMORIA: MEMORIA → U.C	1	ME000 ÷ ME150
RISPOSTA AD U.C IN SEGUITO A COMANDO DI VIA MEMORIA	200 ns	MEOCN
SEGNALE DI FUORI MEMORIA	1	INVVO

DISABILITA IL COLLOQUIO CON LA MEMORIA (DA SUCE 2)	0	DIMEN
RESET GENERALE DA ALIMENTATORE OPPURE DA SUCE 2	1	RESEN

*I SEGNALI CON * CIOÈ WBC02, WBC1B E OSC11 OPERANO NELLA SEZIONE "ROM CARICATORE" DELLA RODMA

** MODIFICATO SULLA PIASTRA DMARO -



INTERFACCIA RODMA/DMARO GOP IN DMA

NOME	LIVELLO	SIGNIFICATO
REQON	0	RICHIESTA DI ACCESSO DIRETTO IN MEMORIA
ACKOA	0	CONSENSO ALLA RICHIESTA DI GOP
WUPMN	M=0 P=0	SCRIVI A 16 BIT
	0 1	SCRIVI BYTE MENO SIGNIFICATIVO
WUPPN	1 0	SCRIVI BYTE PIÙ SIGNFICATIVO
	1 1	LEGGI A 16 BIT
BT000 ÷ BT150	1	CANALE INDIRIZZO DI MEMORIA IN DMA
MT000 ÷ MT150	1	CANALE DATI DELLA MEMORIA AD ACCESSO DIRETTO MEMORIA ↔ GOP
INVV1	1	SEGNALE DI FUORI MEMORIA
DONEA	0	SEGNALE DI FINE CICLO PER GOP

INTERFACCIA RODMA ↔ MEMORIA AD ACCESSO DIRETTO

NOME	LIVELLO	SIGNIFICATO
STARO	100 ns	SEGNALE DI VIA MEMORIA
BT000 ÷ BT150	1	CANALE INDIRIZZO DI MEMORIA
MT000 ÷ MT150	1	CANALE DATI DELLA MEMORIA AD ACCESSO DIRETTO MEMORIA ↔ GOP / U.C
OWBMN	M=0 P=0	SCRIVI A 16 BIT
	0 1	SCRIVI BYTE MENO SIGNIFICATIVO
OWBPN	1 0	SCRIVI BYTE PIÙ SIGNIFICATIVO
	1 1	LEGGI A 16 BIT
READN	200 ns	RISPOSTA AD U.C O A GOP IN SEGUITO A COMANDO DI VIA MEMORIA
INVV1	1	SEGNALE DI FUORI MEMORIA

Fig. 1.7

Vediamo ora di spiegare più in dettaglio il funzionamento dei circuiti; esamineremo in parallelo i colloqui unità centrale ←→ memoria in DMA e GOP ←→ memoria in DMA; i diagrammi relativi sono rappresentati nelle figure 1.13, 1.14, 1.15, 1.16

SINCRONIZZAZIONE DELLE RICHIESTE DI COLLOQUIO CON MEMORIA IN DMA

3.1) Richiesta di unità centrale

Il segnale WBCOO sull'unità centrale è lo strobe dell'indirizzo BC e rappresenta la richiesta di colloquio da unità centrale; in questo caso WBCOO viene sincronizzato con la temporizzazione del DMA (DISL001, C3) e ritardato per mezzo dei due flip-flop WBC12 e WBC22. Il ritardo è necessario per attendere che il comparatore in posizione 002-R4 confronti gli indirizzi BC con l'indirizzo programmato tramite i ponticelli (DISL 002-R2). In questo modo si stabilisce se l'unità centrale vuole accedere alla sua memoria riservata (nel qual caso il DMA non è interessato) o se WBCOO va interpretato come richiesta di memoria ad accesso diretto. Con richiesta di memoria ad accesso diretto va ad 1 EXM10 (DISL 002-R2) che abilita il set di WBCSO (001-C5); WBCSO in set rappresenta la vera richiesta di colloquio con la memoria ad accesso diretto (la programmazione dei ponticelli la esamineremonella sezione relativa).

3.2) Richiesta di GOP

I circuiti relativi alla sincronizzazione delle richieste di GOP sono nel DISL 001 righe P e Q. Le richieste dei GOP si effettuano con REQON che rappresenta la richiesta in wired-or di tutti i GOP in DMA.
La richiesta è sincronizzata da SINCN che setta il flip-flop REQSO (001-P6) con l'abilitazione di REQOI.
SINCN è controllato dai due nand in posizione 001-P4, Q4; inizialmente il nand in posizione Q4 (ABCON · ALFAN) genera SINCN con una richiesta isolata di GOP; a fine ciclo il nand in posizione P4 (PREMN · ABCOO) genera SINCN quando vi sono le code di richieste cioè i GOP richiedono uno scambio di più caratteri (vedremo meglio in seguito la gestione delle code).
ALFAN è l'uscita di reset del flip-flop sul DISL003-G3; esso dipende dal segnale ALFA1, proveniente da unità centrale, che contraddistingue le fasi α e β.
Come si è visto ALFAN controlla SINCN perciò la sincronizzazione delle richieste REQON è in relazione alla temporizzazione di unità centrale.
Per spiegarne il motivo occorre fare alcuni esempi riferiti ai tipi di colloquio che si sovrappongono.

a) Sovrapposizione dei colloqui:

unità centrale ←→ memoria riservata ad unità centrale
GOP in DMA ←→ memoria in DMA

Si osservi la figura 1.8

La richiesta asincrona REQON può essere fatta in un momento qualsiasi però l'unità centrale non richiede mai un colloquio con DMA; solo nei punti A o B cioè all'inizio di ogni fase può essere settato REQSO quindi il GOP è costretto ad attendere l'esecuzione di una microistruzione prima di iniziare il colloquio.

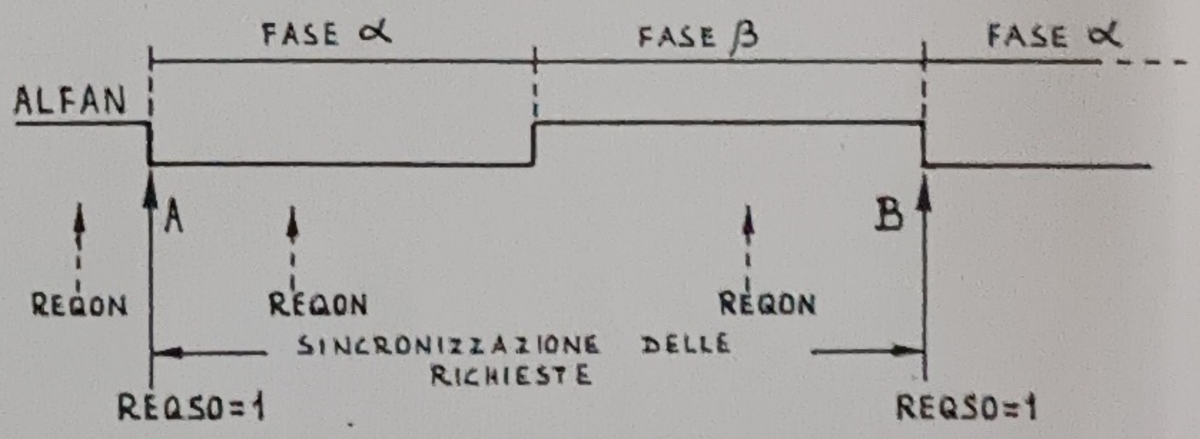
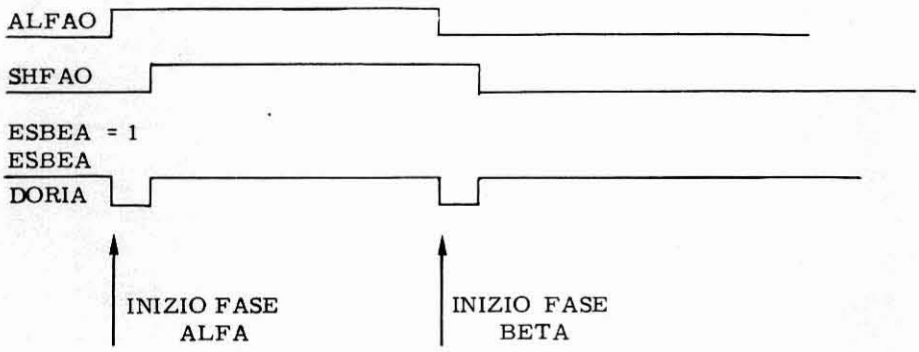


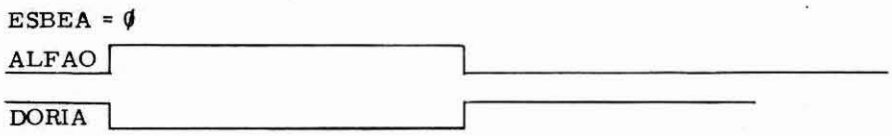
Fig. 1.8

3.2.1) Sincronizzazione delle richieste dei GOP sulla piastra DMARO

La sincronizzazione delle richieste dei GOP può avvenire all'inizio oppure alla fine della fase ALFA.
La realizzazione è ottenuta tramite il FF SHFAO, che si setta con un clock di ritardo del F.F ALFAO, e genera il segnale DORIA, che abilita la generazione di SINC.



- Il F.F SHFAO può essere bloccato inserendo il ponticello (ESBEA = MASSA).
  In questa condizione la sincronizzazione avviene come nella piastra RODMA, cioè solo con l'inizio della fase ALFA.



- Nel 4° ponticello dello zoccolo in TO4 è presente il segnale ESBEA.

  ESBEA a massa (ponticello presente) permette la sincronizzazione delle richieste solo all'inizio della fase ALFA.

  ESBEA non collegato (ponticello assente) permette la sincronizzazione delle richieste sia all'inizio che alla fine della fase ALFA.

Vedi tabella in pag. 2.6 - 2.7 - 2.8 - 2.9.

b) Sovrapposizione dei colloqui:

Unità centrale ⟷ memoria in DMA
GOP in DMA ⟷ memoria in DMA

IL MICROPROGRAMMA E' MEMORIZZATO NELLA MEMORIA RISERVATA AD UNITA' CENTRALE

In fase α l'unità centrale non può effettuare richieste di colloquio con DMA in quanto sta leggendo una microistruzione nella memoria riservata. Può capitare però che durante la fase β alcune microistruzioni richiedano di accedere alla memoria in DMA, con il segnale di via memoria WBCOO che sincronizzato diventa WBCSO.

Ciò significa che la richiesta del GOP potrà essere sincronizzata solo alla fine della lettura/scrittura di memoria perciò dopo il tempo di accesso che varia a seconda del tipo di memoria utilizzato.

In figura 1.9 si può osservare che durante la fase α l'unità centrale non può richiedere il colloquio con la memoria in DMA.

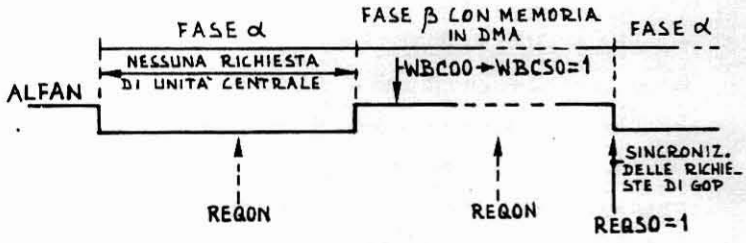


Fig. 1.9

In fase β nasce invece una richiesta di colloquio dell'unità centrale con la memoria in DMA: WBCOO → WBCSO; in questo caso le eventuali richieste REQON del GOP possono essere sincronizzate all'inizio della fase α successiva cioè dopo l'accesso a memoria e la fine della fase β .

c) Sovrapposizione dei colloqui:

Unità centrale ⟷ memoria in DMA
GOP in DMA ⟷ memoria in DMA

UNA PARTE DEL MICROPROGRAMMA E' MEMORIZZATO NELLA MEMORIA IN DMA

L'unità centrale può fare richieste di colloquio con memoria in DMA sia in fase α che in fase β :

- in fase α per leggere le microistruzioni che sono eventualmente in memoria DMA
- in fase β se la microistruzione letta richiede l'accesso a memoria in DMA

Nel caso peggiore la sincronizzazione delle richieste dei GOP avviene dopo i due accessi a memoria e come al solito alla fine della fase β .

La figura 1.10 illustra la situazione peggiore di ritardo: la microistruzione da leggere è in memoria DMA e nella fase β c'è una lettura/registrazione in memoria.

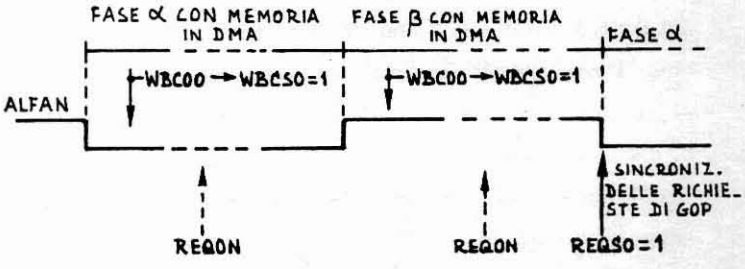


Fig. 1.10

3. 3) Priorità tra richiesta di unità centrale e richiesta di GOP

In caso di richieste contemporanee provenienti da unità centrale e GOP, cioè se WBCSO e REQSO sono contemporaneamente a 1 prima della partenza della temporizzazione su DMA, una rete di priorità assegna il ciclo di memoria ai GOP.

Come abbiamo già visto PRWBO=1 (001-M8) rappresenta il ciclo assegnato ad unità centrale mentre PRRQO (001-P7) rappresenta il ciclo assegnato ai GOP.

WBCSO non può bloccare la generazione di PRRQO mentre REQSON e PRRQN possono bloccare STUCN a 1 (001 G7); in questo caso PRWBO non può settarsi e l'unità centrale può iniziare il suo colloquio in DMA solo quando è terminato il colloquio del GOP.

4 - TEMPORIZZAZIONE

La sincronizzazione di una qualsiasi richiesta di colloquio (WBCSO o REQSO) setta PEOOO (002 C5); infatti PEOOO può essere settato direttamente da STUCN (001 G7) oppure con l'abilitazione di REQSO e il clock OSC13. Il segnale OSC13 è il segnale rigenerato dell'oscillatore a 20 MHz (DISL 003-C3).

PEOOO lavora sullo shift register (002 C6) da cui escono i segnali di temporizzazione CKOO÷CK03.

Vediamo ora come viene generato il segnale di via memoria STARO (003 C8).

1) Se c'è stata una richiesta di unità centrale il segnale STUCN a 0 setta PRWBO (001 M8); PRWBO insieme a CKOOO manda a 0 CKPIN (003 C7) che pone a 1 STARO e resetta la richiesta WBCSO di unità centrale (001 E3-E4-G5).

2) Se c'è stata una richiesta di GOP il flip-flop PRRQO (001 P7) è settato con CKOOA; PRRQO con CKO30 manda a 0 PRCKN (001 R2) che pone a 1 STARO (003C8) e resetta la richiesta REQSO di GOP (001 R3-4, P6). Il consenso alla richiesta di GOP viene generato tramite il segnale SACKN che setta ACKOO (001 P8-R8-R9).

   L'andamento dei segnali di temporizzazione è riportato nei diagrammi che illustrano i vari tipi di colloquio.

5 - LOGICA DI GESTIONE DEI COLLOQUI CON LA MEMORIA IN DMA

5. 1) Ciclo assegnato all'unità centrale (PRWBO=1)

Gli indirizzi BC di unità centrale passano sul canale BT (004, colonna 8) con PRWBA a 0.

In caso di registrazione in memoria DMA il canale dati ECD è commutato sul canale MT tramite i tri-state sul DISL 004 colonna 2 con l'abilitazione di MTTSI a 0; MTTSI (003-Q3) è controllato da PRWBO e da MIRSN che è l'uscita di reset del flip-flop in posizione 003 R2; esso è stato posto in reset da CK010 con REUCN a 1; si può notare sul DISL 100-M1 che REUCN è controllato dai due segnali WMBPN e WMBMN che sono entrambi a 1 solo in caso di lettura perciò in registrazione mantengono REUCN a 1.

Gli stessi segnali WMBPN e WMBMN sono trasferiti sui circuiti di lettura/registrazione della memoria ad accesso diretto con l'abilitazione di PRWBO (DISL 003, G7-P7).

Anche in caso di lettura gli indirizzi BC passano sul canale BT; i segnali letti in memoria e presenti su MT vengono commutati sul canale ME tramite i registri tri-state (DISL 004, colonna 5).

Gli ingressi 09 e 10 quando sono a 0 abilitano la carica degli MT sui flip-flop interni del package; in questo caso sono a massa e quindi gli MT sono caricati sui flip-flop con il passaggio da 0 a 1 del clock CALEN sul pin 07.

CALEN è controllato da PRWBO e da REDIO che dipende da READN e quindi va a 1 alla fine del ciclo di memoria che esamineremo in seguito.

I pin 01 e 02 del registro tri-state rappresentano gli ingressi che controllano le uscite: quando sono a 0, le uscite ME non sono più in condizione di alta impedenza perciò i livelli 1/0 in uscita pilotano il canale dei dati; nel nostro caso questi ingressi sono controllati dal segnale METSA che in lettura è senz'altro a 0 (003-P3)in quanto è stato posto in set il flip-flop MERSO con l'abilitazione di REUCO=1.

5. 2) Ciclo assegnato ai GOP in DMA

I segnali WUPPN e WUPMN indicano se si vuol effettuare una lettura o una registrazione in memoria DMA; essi sono trasferiti nei corrispondenti segnali di lettura/registrazione OWBPN e OWBMN tramite l'abilitazione di PRRQO (003 L7, Q7).
Il canale di indirizzo BT e il canale dati MT sono comuni alla memoria in DMA e a tutti i GOP in DMA; però solo il GOP interessato al colloquio dovrà gestire i due canali.
Infatti ricevendo il segnale ACKOA (consenso alla richiesta di GOP) e prima di STARO=1 (via memoria), il GOP che ha effettuato la richiesta di colloquio "prende possesso" dei canali.

5. 3) Fine ciclo di memoria in DMA

Dopo aver effettuato la lettura e la registrazione la memoria in DMA invia il segnale READN che sta a 0 per 200 ns; READN viene sincronizzato con l'oscillatore del modulo DMA generando il segnale RED10 (002 G3): anche RED10 dura 200 ns.

5. 4) Fine ciclo per l'unità centrale

Come abbiamo visto il segnale RED10 costituisce lo strobe dei dati letti nel circuito tri-state che trasferiscegli MT ⟶ ME; esso viene ritardato di 75 ns tramite i flip flop MEOC1 e MEOC2 (002 G4-G5) e viene poi inviato all'unità centrale col nome di MEOCN (002 L8).
In questo modo il modulo DMA copre il ritardo del registro tri-state MT ⟶ ME e invia il segnale MEOCN solo quando i dati in uscita al tri-state stesso sono validi.

5. 5) Fine ciclo per i GOP in DMA

Il segnale MEOC1 con l'abilitazione di PRRQO genera DONEA (002-G8) che viene inviato ai GOP per segnalare la fine del ciclo; non occorre ritardare la segnalazione di fine del ciclo in quanto il colloquio tra memoria in DMA e GOP in DMA è diretto e i dati non subiscono ritardi.
Il reset di ACKOO (consenso alla richiesta di GOP) viene fatto dal fronte di discesa di MEOC1 (001 R8).
Le eventuali richieste REQON che nel frattempo possono essere arrivate da GOP sono sincronizzate da PREMN (002 N8) che dipende da MEOC2, MEOCA, PRRQO; infatti PREMN genera SINCN che setta REQSO se c'è la richiesta di GOP REQ01=1 (001 P4-P5-P6).
Questa rete permette al modulo DMA di gestire le "code", cioè gli scambi per richieste quasi simultanee dei GOP, senza interrompere il colloquio dei GOP in DMA.

5. 6) Segnalazione di fuori memoria

5. 6. 1) Fuori memoria per i GOP in DMA

La memoria ad accesso diretto invia ai GOP in DMA la segnalazione di fuori memoria INVV1 (002 Q7). Normalmente INVV1 è mantenuto a 0; solo quando si verifica il fuori memoria esso va ad 1. Tutti i GOP ricevono INVV1 però solo il GOP che è in "possesso" dei canali lo utilizzerà.

Poichè è una segnalazione di fuori memoria che non deve interessare l'unità centrale MEOC6=0 mantiene INVCN ad 1; MEOC6 è a 0 in quanto non si sta effettuando un colloquio con l'unità centrale (cioè PRWBO=0, DISL 002 L8).

5. 6. 2) Fuori memoria per unità centrale

Nella zona di unità centrale il segnale di fuori memoria è INVVO che è il wired-or tra la segnalazione proveniente dalla memoria riservata ad U. C. e la analoga segnalazione proveniente dal modulo DMA (002 R8). Se l'unità centrale ha richiesto un colloquio con la memoria in DMA il flip-flop FUM10 è in reset (002 R7); infatti con il riconoscimento dell'indirizzo EXM10 va a 1 e EXMIN a 0 quindi non viene abilitato.

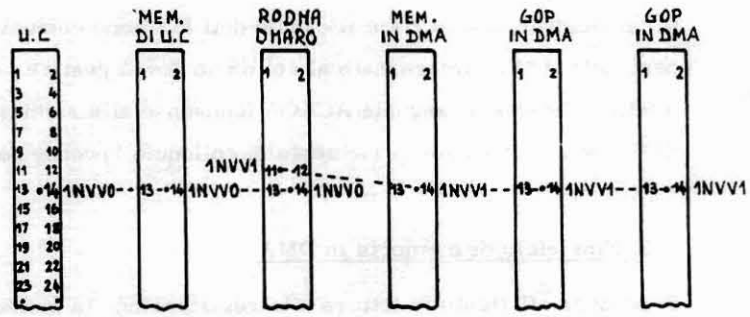


Fig. 1. 11

Se non c'è segnalazione di fuori memoria INVV1 è a 0 perciò INVCN a 1 che insieme a FUM1N forza INVV0 a 0 segnalando così la presenza della memoria indirizzata. Nel caso che il modulo di memoria non sia presente o non risponda, INVV1 va ad 1; perciò con MEOC6=1 (MEOC2 e PRWBO uguali a 1, DISL 002 L8) va a 0 INVCN che mantiene a 1 INVVO.

Le altre memorie che non sono state selezionate confermano INVVO a 1 perciò l'unità centrale riceve la segnalazione di fuori memoria.

5. 7) Priorità tra i GOP in DMA

Quando il modulo DMA accetta una richiesta di GOP, risponde con il consenso ACKOA e il GOP "prende possesso" dei canali; il modulo DMA invia ACKOA al GOP più vicino come posizione di terminaliera: tale GOP utilizza ACKOA se ha fatto la richiesta oppure lo lascia passare al GOP successivo che si comporterà nello stesso modo. Nel caso più semplice un solo GOP esegue la richiesta, e dopo aver ricevuto ACKOA "prende possesso dei canali" senza trasmettere ACKOA al GOP successivo. Però le richieste dei GOP sono asincrone tra di loro perciò può succedere che al momento della nascita di ACKOA vi siano più GOP che hanno effettuato la richiesta di colloquio. In questo caso, tra i vari GOP con richiesta in sospeso, sarà il più vicino al modulo DMA a bloccare ACKOA e a "prendere possesso" dei canali.

Perciò esiste tra i vari GOP una priorità "filata" come indica la figura 1. 12.

Come si può notare il primo GOP riceve ACKOA, lo memorizza come ACKEA e lo passa eventualmente al successivo come ACKUA (*); il numero massimo di GOP che si possono collegare in DMA dipende dal ritardo che viene introdotto dalla rete di passaggio del segnale ACKOA all'interno di ogni GOP. Infatti l'intervallo di tempo tra ACKOA (consenso alla richiesta di GOP) e STARO (segnale di via memoria) è a disposizione dei GOP per "prendere possesso" dei canali: questo tempo è massimo per il GOP più vicino alla RODMA (150ns) e si riduce allontanandosi da essa.

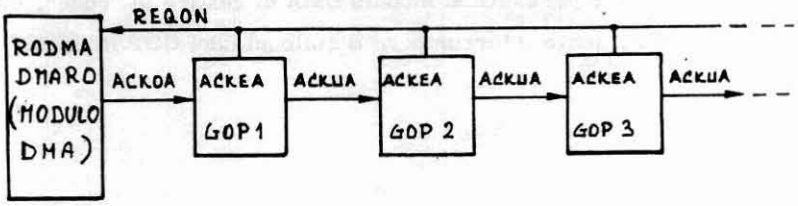
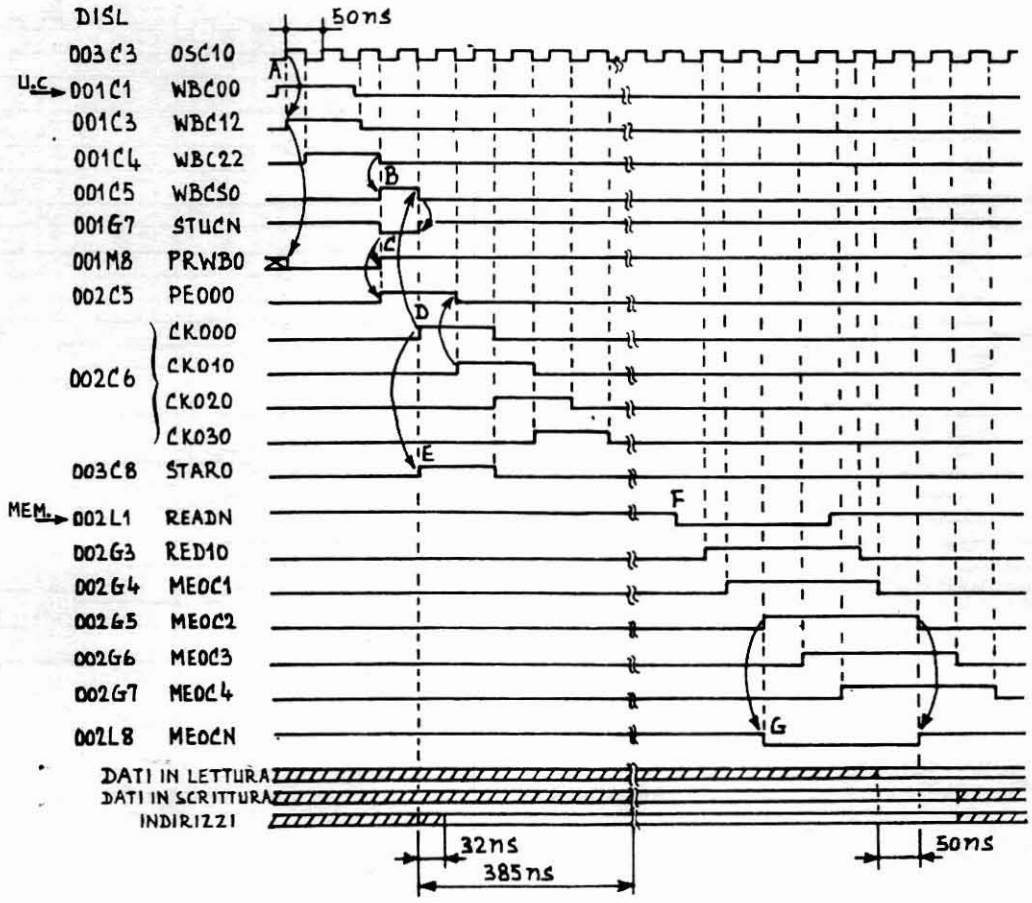


Fig. 1. 12

(*) I nomi ACKEA e ACKUA sono solo indicativi in quanto sui GOP in DMA vi possono essere nomi diversi.

5.8) Diagrammi dei colloqui

5.8.1) Richiesta di colloquio di unità centrale

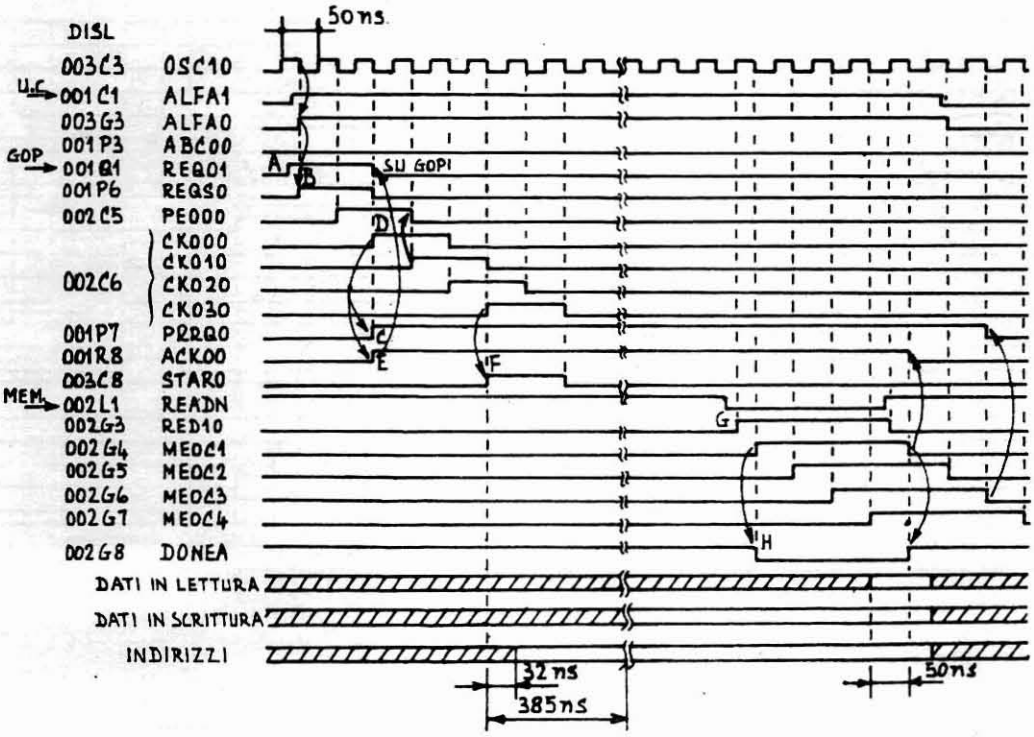


Punti significativi

A=Richiesta asincrona
B=Richiesta sincronizzata
C=Ciclo assegnato ad U. C.
D=Partenza temporizz.
E=Via memoria in DMA
F=Fine ciclo di memoria
G=Segnalazione all'U. C. di fine ciclo

Fig. 1.13

5.8.2) Richiesta di colloquio di GOP (Sincronizzata con inizio fase ALFA)

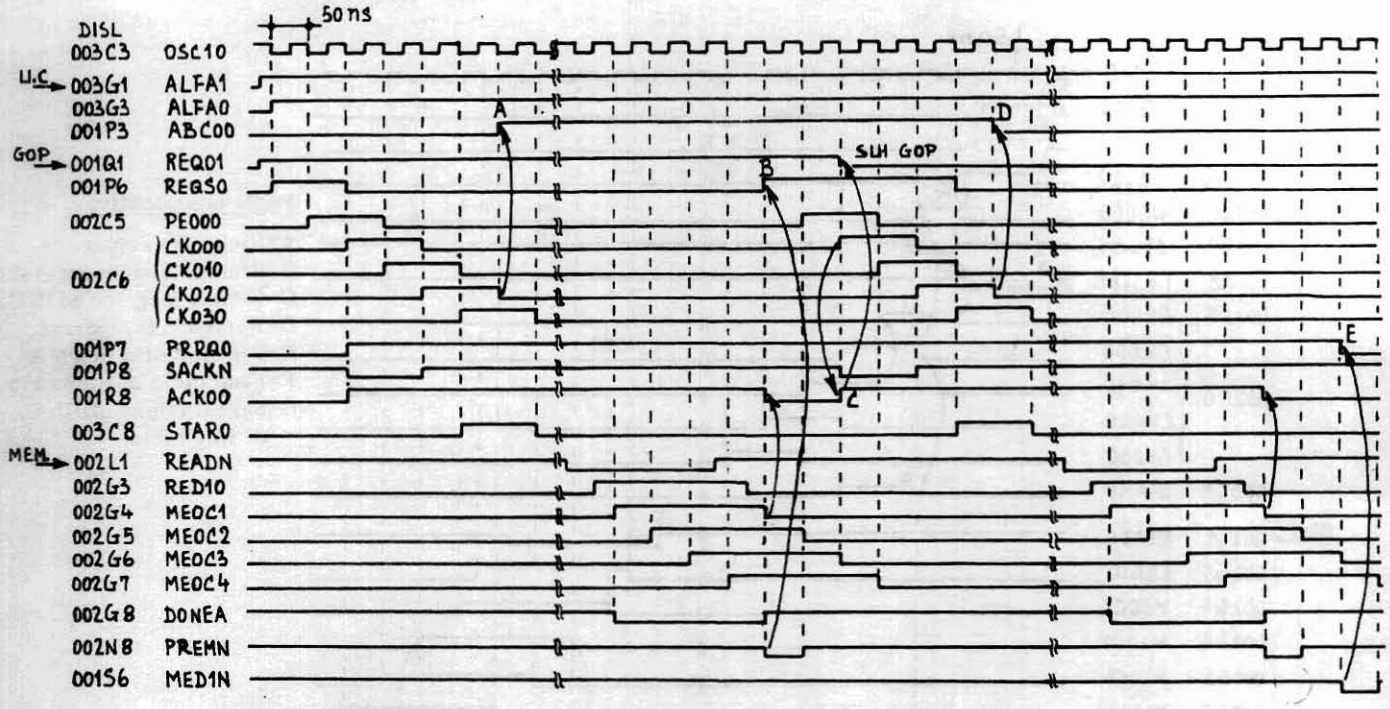


Punti significativi

A=Richiesta asincrona
B=Richiesta sincronizzata
C=Ciclo assegnato a GOP
D=Partenza temporizz.
E=Consenso alla richiesta
F=Via memoria in DMA
G=Fine ciclo di memoria
H=Fine ciclo per GOP

Fig. 1.14

5. 8. 3) Richieste consecutive di scambio caratteri di GOP (gestione delle code)
(Sincronizzate con inizio fase ALFA)

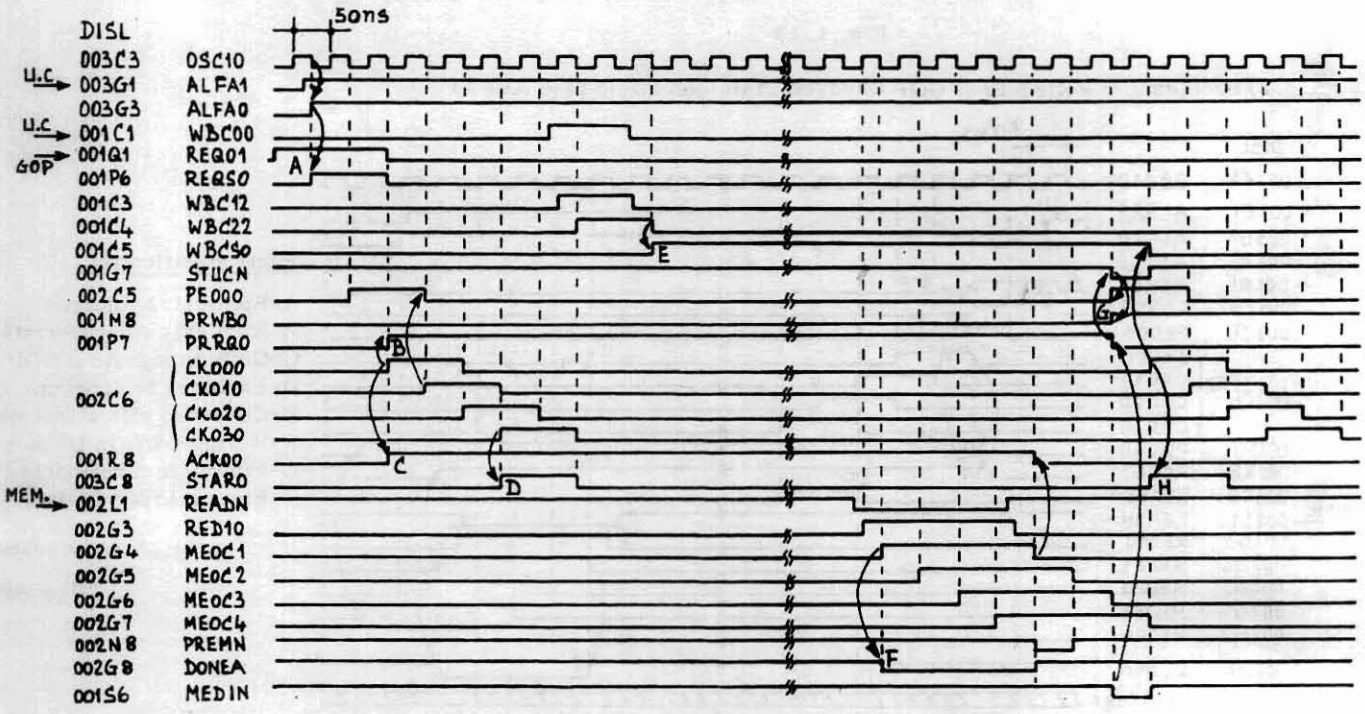


Punti significativi

A = prenotazione della richiesta per gestione delle code
B = sincronizzazione della richiesta
C = Consenso alla richiesta (sui governi in DMA ACKOA lavora con il fronte e non con il livello)
D = Fine delle code
E = Fine del ciclo per GOP in DMA

Fig. 1.15

5. 8. 4) Richieste di colloquio di GOP e di unità centrale (Sincronizzata con inizio fase ALFA)

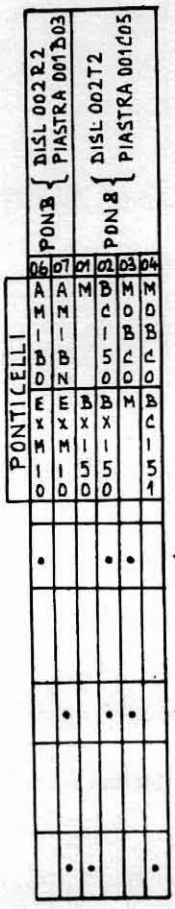


Punti significativi

A = Richiesta di GOP sincronizzata
B = Ciclo assegnato a GOP
C = Consenso alla richiesta di GOP
D = Via memoria per colloquio con GOP
E = Richiesta sincronizzata di U. C.
F = Fine ciclo per GOP
G = Ciclo assegnato ad U. C.
H = Via memoria per colloquio con U. C.

Fig. 1.16

6 - PROGRAMMAZIONE PER LA SUDDIVISIONE DELLA MEMORIA: MEMORIA IN DMA E DI U. C.



Nelle seguenti pagine esaminiamo le tabelle in cui sono indicati i ponticelli da inserire per selezionare le zone di memoria; la selezione è relativa agli indirizzi BC di unità centrale.

I ponticelli sono montati su due zoccoli:

- PON B (DISL002-R2; Piastra 001-B03)
- PON 8. (DISL002-T2; Piastra 001-C05)

Come sappiamo esistono tre modi di suddivisione della memoria in DMA: A, B e C.

La figura 1.17 indica la posizione dei ponticelli per la scelta del modo di suddivisione.

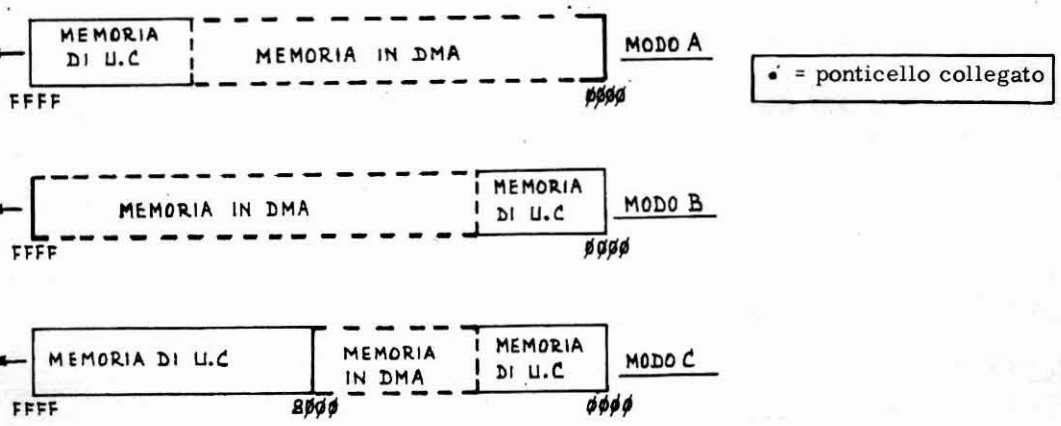


Fig. 1.17

Vediamo ora qual'è la relazione tra il modo di suddivisione della memoria e la posizione dei ponticelli. Come sappiamo l'unità centrale può selezionare la memoria solo con una richiesta WBCOO. Se l'indirizzo mandato da unità centrale appartiene alla memoria DMA, il segnale EXM10 (pin 10-11, 002 R2) va ad 1 in modo da abilitare la sincronizzazione della richiesta (WBCSO, 001-G5). EXM10 può essere collegato tramite ponticello o al segnale AMIBO oppure al segnale AMIBN; AMIBO è l'uscita 02 del comparatore CTE7 (002 R4) e va ad 1 se l'indirizzo BC110÷BX150 è minore dell'indirizzo programmato PMB00÷PMB40. Tramite gli indirizzi di unità centrale BC110÷BC150 si possono selezionare 62 KW (di 2KW in 2KW) che rappresentano la massima capacità della memoria in DMA; si osservi la figura 1.18.

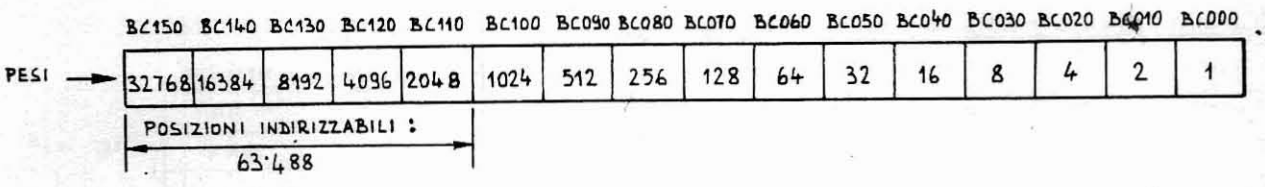


Fig. 1.18

1) Nel modo di suddivisione A la memoria in DMA va dall'indirizzo esadecimale 0000 fino all'indirizzo di confine da stabilire; la memoria riservata ad unità centrale va dall'indirizzo di confine fino ad FFFF.

I ponticelli da collegare sono:

- AMIBO ⟶ EXM10
- BC150 ⟶ BX150
- MOBCO ⟶ M

AMIBO → EXM10

Nel modo di suddivisione A gli indirizzi di memoria in DMA sono inferiori a quelli di memoria riservata perciò EXM10 deve ripetere AMIBO che = 1 dice BC < PBM

BC150 → BX150

Nel modo A occorre tenere conto anche del bit BC150 perciò BX150 ripete BC150

MOBCO → M

In questo modo si mette a massa MOBCO a cui vanno collegati i PMB.

2) Nel modo di suddivisione B i ponticelli da collegare sono:

- AMIBN → EXM10
- BC150 → BX150
- MOBCO → M

AMIBN → EXM10

Nel modo di suddivisione B gli indirizzi di memoria in DMA sono superiori a quelli di memoria riservata perciò EXM10 deve ripetere AMIBN che ad 1 dice BC > PM.

Gli altri due ponticelli sono collegati per le stesse ragioni viste nel modo A.

3) Nel modo di suddivisione C i ponticelli da collegare sono:

- AMIBN → EXM10
- M → BX150
- MOBCO → BC151

In questo modo di suddivisione la memoria riservata di unità centrale può avere indirizzi inferiori o anche superiori a quelli di memoria in DMA

M → BX150

BX150 è collegato a massa in quanto la memoria in DMA non ha mai indirizzi superiori a 8000 (32 KW) perciò occorre escludere il peso 32768 del comparatore.

MOBCO → BC151 e AMIBN → EXM10

Per indirizzi superiori a 8000 non deve essere selezionata la memoria in DMA perciò EXM10 deve essere a 0; infatti se vi è un indirizzo superiore a 8000, BC151 (rigenerato di BC150, 101 U3) è ad 1 e quindi MOBCO=1. Poichè BX150 è a massa e i PMB sono collegati a MOBCO, gli ingressi BC del comparatore sono sempre inferiori ai PMB perciò AMIBO=1. EXM10 ripete AMIBN perciò è a 0 e disabilita l'accesso alla memoria, in DMA. Per indirizzi inferiori a 8000, BC151 è a 0 perciò i PMB possono essere collegati a MOBCO.

Ora facciamo tre esempi di selezione della memoria corrispondenti ai modi A, B e C.

MODO A: memoria in DMA con indirizzi inferiori a quelli di memoria riservata

In figura 1.19 è indicato che la memoria in DMA ha la capacità di 16 KW e va dall'indirizzo 0000 a 3FFF. La memoria riservata di unità centrale ha la capacità di 48 KW.

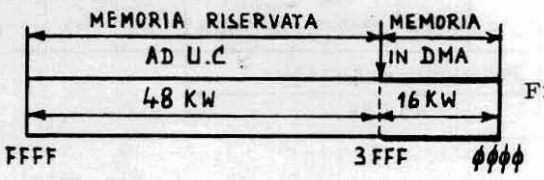


Fig. 1.19

In figura 1.25 è indicata la tabella complessiva per la programmazione dei ponticelli, riferendosi al modo A e all'indirizzo di con fine 3FFF, si può notare che i ponticelli da inserire sono quelli indicati in figura 1.20

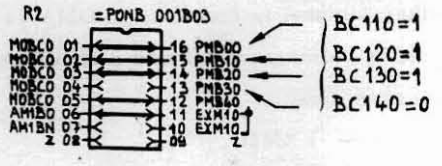
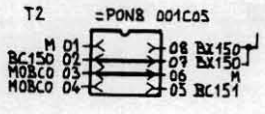


Fig. 1.20



NOTA: L'indirizzo 3FFF ha BC140÷BC110 con codice 0111 come indicato in fig. 1.20; i corrispondenti ponticelli PMB30÷PMB00 hanno invece il codice 1000 cioè l'incremento di 1 (0111+).

$$\frac{1}{1000}$$

Da ciò si deduce che fisicamente l'indirizzo massimo di confine è incrementato di 1 però l'uscita AMIBO del comparatore (002 R4) nasce solo per indirizzi inferiori quindi l'indirizzo massimo è escluso.

MODO B: memoria in DMA con indirizzi superiori a quelli di memoria riservata

In figura 1.21 è indicato che la memoria in DMA ha la capacità di 22 KW e va dall'indirizzo A8ØØ a FFFF. La memoria riservata di U.C ha la capacità di 42 KW. In figura 1.25 è indicata la tabella complessiva per la programmazione dei ponticelli; riferendosi al modo B e all'indirizzo di confine A8ØØ, si nota che i ponticelli da inserire sono indicati in figura 1.22.

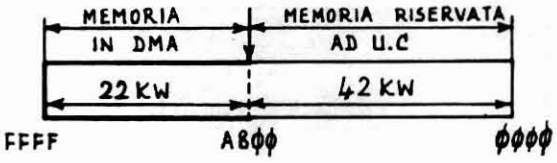


Fig. 1.21

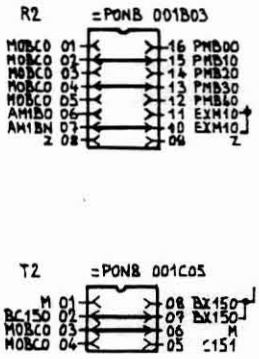


Fig. 1.22

MODO C: memoria in DMA compresa tra due zone riservate ad unità centrale

In figura 1.23 è indicato che la memoria in DMA è compresa tra l'indirizzo fisso 8ØØØ e 2ØØØ cioè ha la capacità di 24 KW.

La memoria riservata ad unità centrale è formata da due zone:

- 32 KW con indirizzi superiori a 8ØØØ
- 8 KW compresi tra gli indirizzi ØØØØ e 2ØØØ

In figura 1.26 è indicata la tabella complessiva per la programmazione dei ponticelli in modo C; pertanto i ponticelli da inserire sono indicati in figura 1.24.

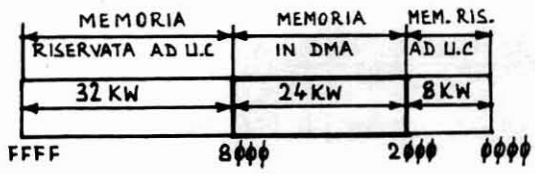


Fig. 1.23

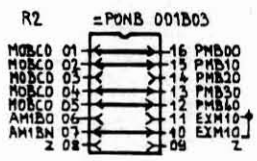
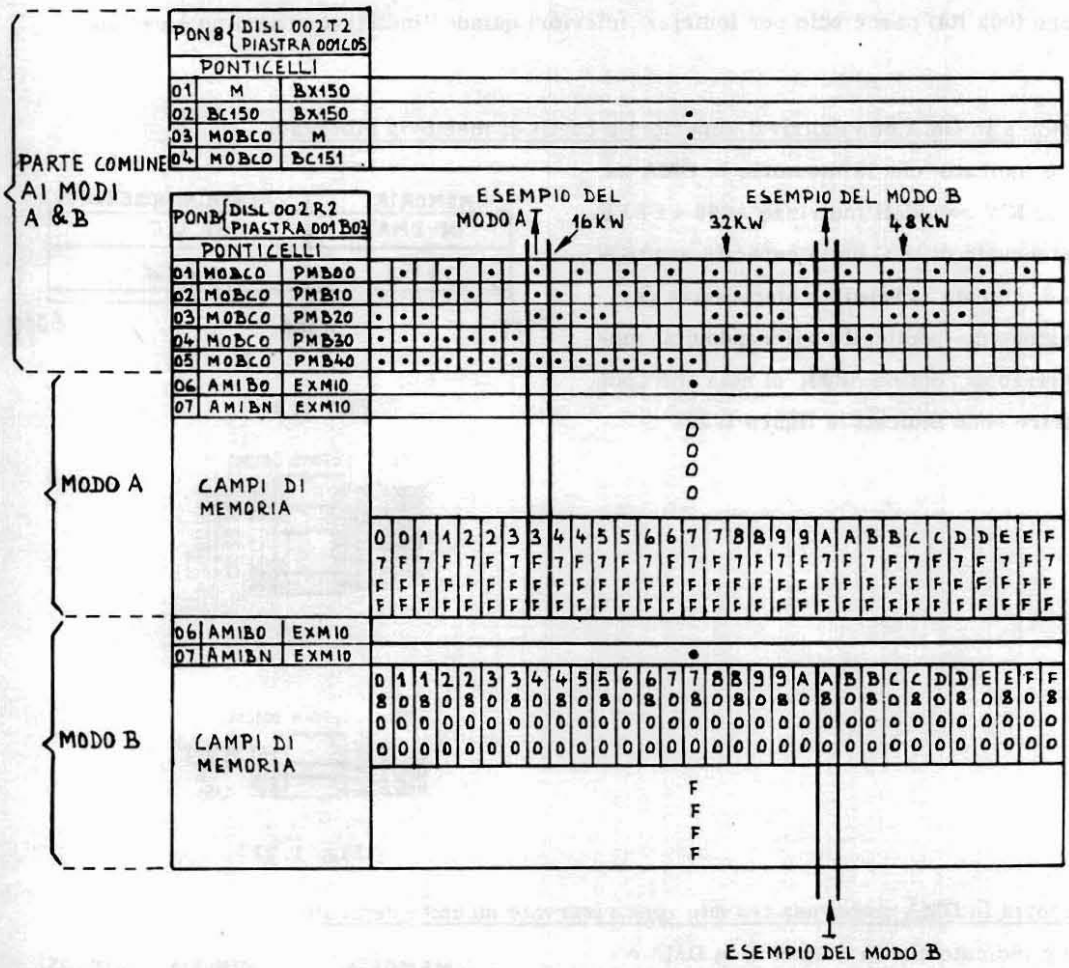


Fig. 1.24

7 - TABELLE RIASSUNTIVE DELLA PROGRAMMAZIONE DELLA MEMORIA IN DMA

MODO A: memoria in DMA con indirizzi inferiori a quelli di memoria riservata

MODO B: memoria in DMA con indirizzi superiori a quelli di memoria riservata



• = Ponticello collegato

Fig. 1.25

MODO C: memoria in DMA compresa tra due zone riservate ad unità centrale

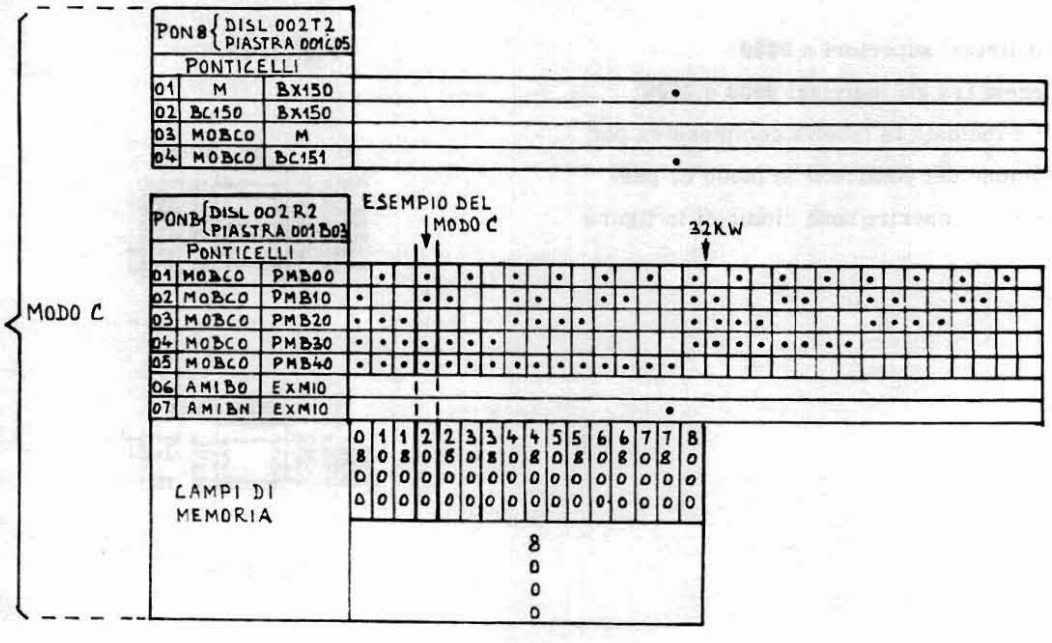


Fig. 1.26

1 - DESCRIZIONE DELLA "ROM CARICATORE"

1.1) Descrizione dello schema a blocchi

La "ROM caricatore" contiene il microprogramma caricatore (LOADER) che trasferisce, nella memoria di macchina, i microprogrammi registrati su un supporto esterno (ad esempio floppy-disk).
Questa operazione avviene all'accensione del sistema cioè quando si effettua l'inizializzazione del sistema stesso; perciò il caricatore deve essere costituito da una serie minima di microistruzioni per gestire il trasferimento del supporto e predisporre il sistema a lavorare.
I package della "ROM caricatore" sulla RODMA sono 4 e possono essere di ROM o di PROM:

ROM - ogni package di ROM ha una capacità di 1024 caratteri a 8 bit ciascuno; quindi con 4 package si ottengono 2048 posizioni a 16 bit (codice di ogni microistruzione) cioè una capacità di 2K//16

PROM-ogni package di PROM ha una capacità di 512 caratteri a 8 bit; quindi con 4 package si ottengono 1024 posizioni a 16 bit cioè una capacità di 1K//16.

Sulla piastra RODMA vi sono i ponticelli per programmare la zona di memoria relativa alla "ROM caricatore" e per scegliere il funzionamento con ROM o con PROM.
Descriviamo ora il funzionamento generale della "ROM caricatore" seguendo lo schema a blocchi di figura 2.2; prima facciamo le seguenti considerazioni:

- OSC11 (DISL003 C5) deriva da OSC10, già usato nella logica DMA, perciò ha la frequenza di 20 MHz.

- WBC02 (DISL001 C2) rappresenta WBCOO rigenerato.

- WBC1B (DISL001 C3) rappresenta WBCOA sincronizzato con la temporizzazione della RODMA.

Per selezionare la "ROM caricatore" l'unità centrale invia il segnale di via memoria WBCOO e sul canale BC l'indirizzo di memoria.
Se l'indirizzo appartiene alla "ROM caricatore" va ad 1 SELEO che abilita i package di memoria indirizzati da BC.
Dopo il tempo di accesso la memoria fornisce le uscite DONOO÷F in condizione stabile; nel frattempo la temporizzazione genera il segnale ABDOA che abilita nei circuiti TRI-STATE il passaggio DONOO÷F sul canale di memoria ME.
Per segnalare all'unità centrale la fine del ciclo di memoria, la temporizzazione genera il segnale MEOCN con SELEN=0.
Nel caso in cui l'indirizzo di memoria non è corretto il segnale SELEO rimane a 0 e SELEN a 1 va a lavorare sulla temporizzazione; viene perciò segnalato che l'indirizzo di memoria non è valido con INVV0=1 (come sappiamo INVVO è in wired-or con le analoghe segnalazioni delle altre memorie).
Con INVV0=1,cioè con la segnalazione di fuori memoria, viene generato un MEOCN fittizio per segnalare all'unità centrale che il ciclo di memoria è comunque finito; nello stesso tempo INVV0 =1 genera sull'unità centrale una interruzione di livello 3.
Ora passiamo ad una descrizione più dettagliata dei circuiti della "ROM caricatore"; il diagramma dei segnali è riportato in figura 2.1.

1.2) Partenza della temporizzazione

WBCOO inviato dall'unità centrale viene sincronizzato con OSC1N e ritardato (001C3, C4).
L'uscita di reset WBC2B a 0 pone in set ABTEO (100 G7) che abilita la temporizzazione dei flip-flop TAS10, TAS20, TAS30 e TAS40 (100 riga P) sui quali OSC11 agisce come clock. OSC11, con l'abilitazione di WBC02, setta anche il flip-flop PISEO (100 M7); pertanto il segnale INVV0=0 segnala momentaneamente che non c'è un fuori memoria.

1. 3) Selezione della memoria

La selezione della memoria si effettua confrontando gli indirizzi BC11A÷BC15A con i segnali dei ponticelli di programmazione POM00÷POM40 (100 E2, E4).
Il comparatore è abilitato da AL10N=0; se l'indirizzo è corretto SELEO va ad 1 (la programmazione dei ponticelli la esamineremo nella sezione relativa).
Con SELEN=0 (100-N5) il flip-flop PISE non può essere resettato perciò è confermata, con INVV0 che continua ad essere a 0, la selezione della memoria.
Con SELE0=1 sono abilitati i package di memoria (101 colonna 5); l'altra abilitazione dei package è rappresentata da BP19N/0.
Con BP19N=1 sono abilitati i package in posizione A5 (DON00÷ DON70) e M5 (DON80÷DONFO); con BP190=1 sono abilitati i package in posizione E5 ed R5.

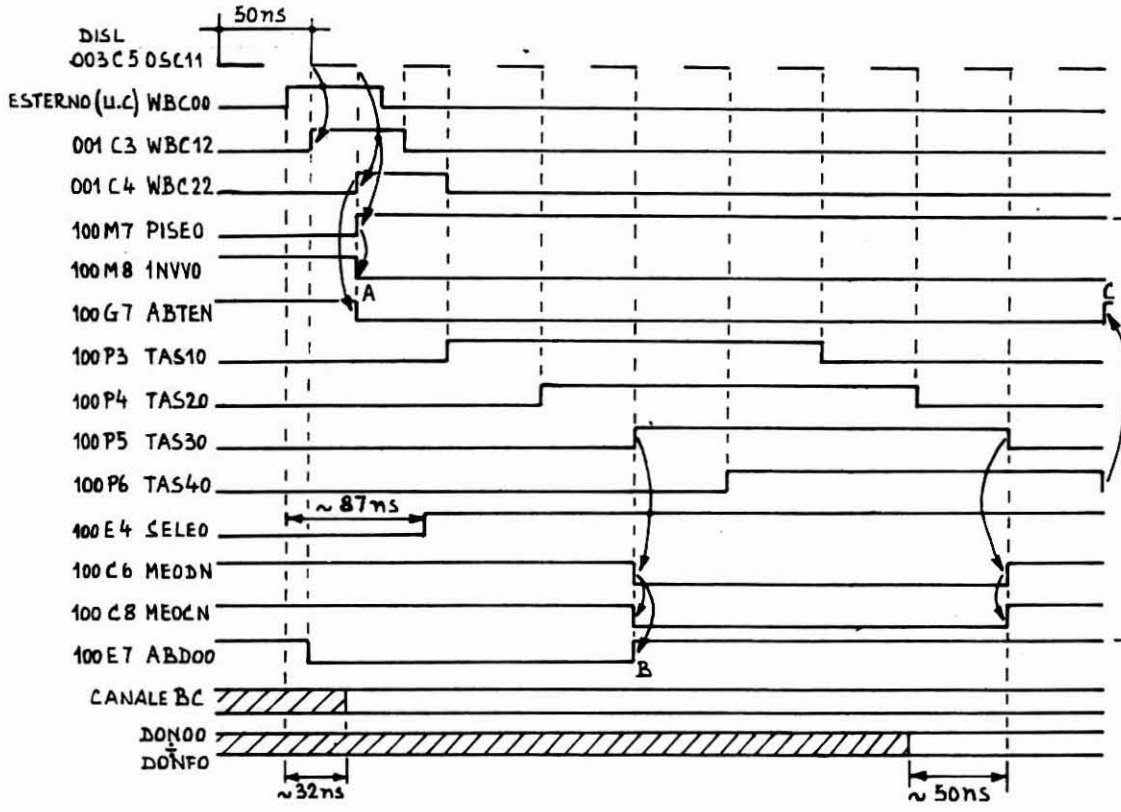
1. 4) Passaggio del codice della memoria sul canale ME

La memoria fornisce le uscite stabili dopo circa 325ns dal fronte di salita di WBCOO; nel frattempo (con TAS30=1) il flip-flop ABDOO è settato da MEODN (100 C6-C7).
Con ABDOA=0 le uscite dei circuiti tri-state (101 colonna 9) non sono più in condizione di alta impedenza ma permettono che il codice DONOO÷DONFO sia trasferito sul canale ME.

1. 5) Fine ciclo di memoria

In un ciclo normale di memoria il segnale MEOCN va a 0 per la durata di TAS30 cioè per 200ns (100 C6-C7-C8).
Nel caso in cui l'indirizzo di memoria non è corretto occorre generare un MEOCN fittizio per permettere all'unità centrale di far ripartire la temporizzazione e sbloccarsi dalla condizione di accesso in memoria.
In questo caso viene posto in reset il flip-flop PISE (100 N5-M7); perciò INVV0 va a 1 e vi rimane se nessun' altra memoria del sistema viene selezionata.
Con l'abilitazione di INVV0=1, TAS4N resetta AMEFN (100 C5) che durante TAS40 mantiene MEOCN a 0 (100 D6-C7-C8).
Come abbiamo già detto INVV0=1 provocherà un'interruzione di livello 3 sull'unità centrale.
In entrambi i casi il fronte di discesa di TAS40 pone in reset il flip-flop ABTEO (100 G7) che blocca in reset i flip-flop di temporizzazione TAS10÷TAS40.

1. 6) Temporizzazione di un ciclo di memoria



Punti significativi

A = Abilitazione della temporizzazione

B = Abilitazione del trasferimento dati DON00÷F0 → ME

C = Fine della temporizzazione

Fig. 2. 1

SCHEMA A BLOCCHI DELLA "ROM CARICATORE"

INTERFACCIA RODMA/DMARO ⟷ CPU 19 PER ROM CARICATORE		
SIGNIFICATO	LIVELLO	NOME
CANALE INDIRIZZO DI MEMORIA	1	BC000 ÷ BC150
CANALE DATI IN USCITA DALLA MEMORIA	1	ME000 ÷ ME150
RISPOSTA AD UC IN SEGUITO A COMANDO DI VIA MEMORIA	200ns	MEOCN
SEGNALE DI FUORI MEMORIA	1	INVVO

DISABILITA IL COLLOQUIO CON LA MEMORIA (DA SUCE)	0	DIMEN
RESET GENERALE DA ALIMENTATORE OPPURE DA SUCE	0	RESEN

* I SEGNALI CON ASTERISCO CIOÈ WBC02, WBC1B E OSC11 PROVENGONO DAL MODULO "DMA" DELLA PIASTRA RODMA

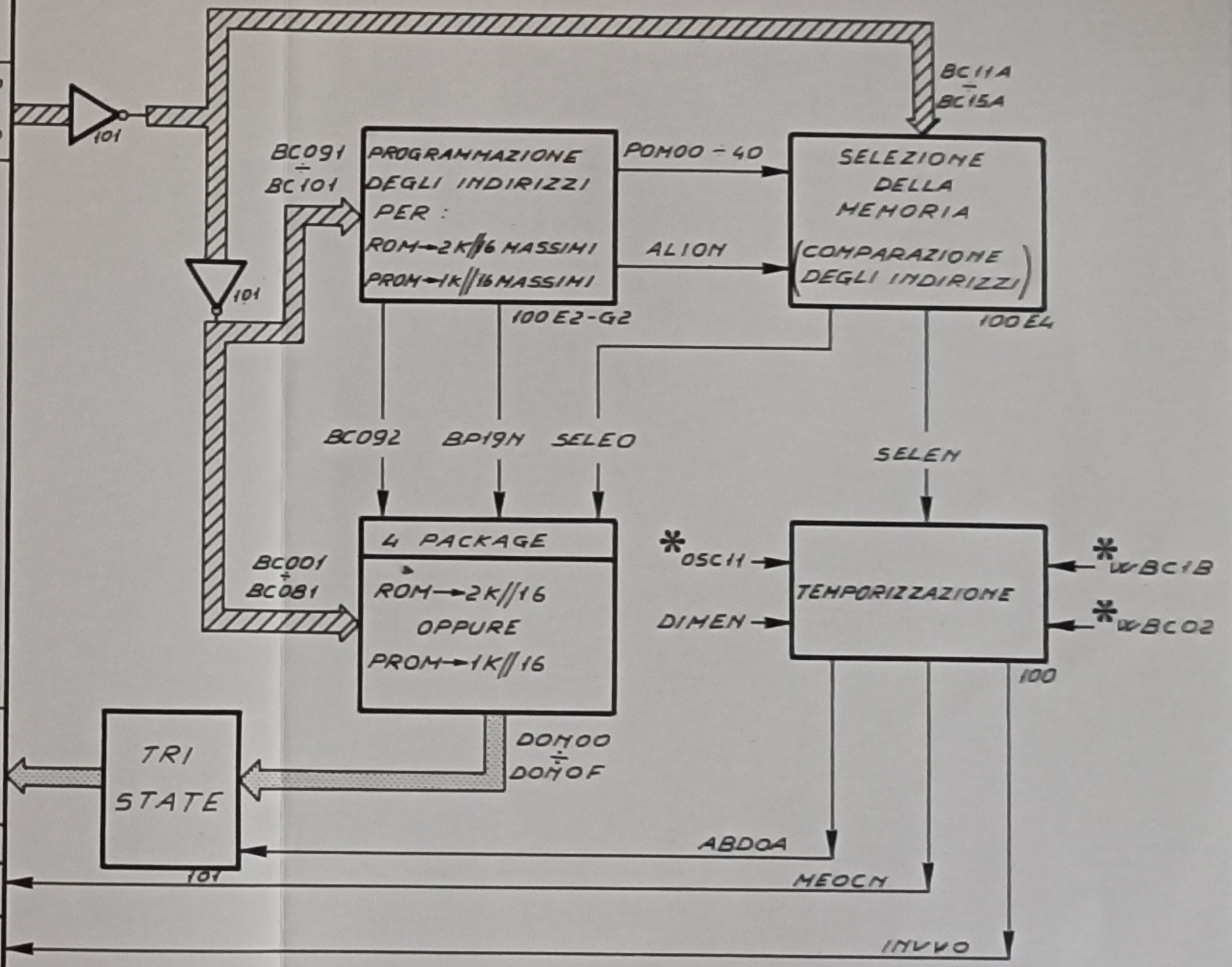


Fig. 2.2

2 - PROGRAMMAZIONE DELLA SELEZIONE DELLA "ROM CARICATORE"

Come sappiamo sui 4 zoccoli per la memoria possono essere montati 4 package di ROM oppure 4 package di PROM:

- con la ROM si ha la capacità di 2K//16
- con la PROM si ha la capacità di 1K//16

La memoria viene selezionata quando l'uscita SELEO (DISL 100-E4) del comparatore CTE7 va ad 1; il comparatore confronta gli indirizzi di unità centrale BC11A-BC15A con POM00÷POM40 che rappresentano i ponticelli di programmazione.

L'uscita 14 del comparatore cioè SELEO va ad 1 solo quando gli indirizzi BC11A-BC15A sono uguali agli indirizzi programmati.

La posizione della "ROM caricatore" può variare all'interno dei 64K selezionabili; poichè la sua capacità è al massimo di 2K occorre impedire che si possano indirizzare delle parole al di fuori di questa capacità.

Si osservi la figura 2.3.

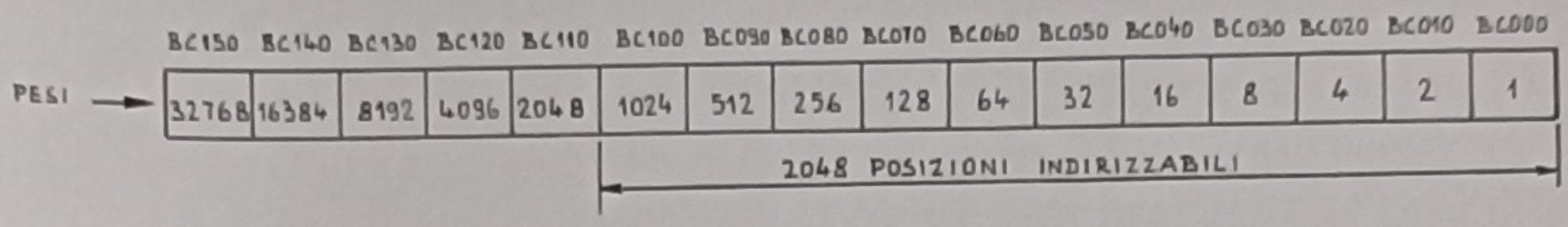


Fig. 2.3

In figura si vede che con gli indirizzi BC000÷BC100 si possono selezionare 2KW; pertanto con gli ingressi negati BC11A÷BC15A si impedisce che SELEO vada a 1 per indirizzi che eccedono la capacità della "ROM caricatore".

Il comparatore CTE7 è abilitato se il segnale AL10N=0, questo segnale è controllato da MERSO e da OMBCO:

- MERSO (DISL 003-P2) è a 1 quando l'unità centrale effettua una richiesta di lettura di memoria cioè REUCO=1 (DISL 100 M1-M2) con il clock WBC02.
- OMBCO dipende dalla programmazione dei ponticelli su PON8 (100-G2)

PER DISABILITARE L'INTERA "ROM CARICATORE" SI COLLEGA OMBCO → M; in questo modo AL10N è sempre a 1 e il comparatore è sempre disabilitato.

Vediamo ora alcuni esempi di programmazione della "ROM caricatore" nel caso di ROM e nel caso di PROM.

2.1) Programmazione per la memoria in versione ROM

La memoria ROM ha la capacità di 2KW//16; supponiamo che l'indirizzo sia 8000 e quello finale 87FF. Riferendoci alla tabella di programmazione in figura 2.8 i ponticelli da inserire sono quelli indicati in figura 2.4.

All'interno della capacità di 2K le parole di ROM sono indirizzate da BC001÷BC101; vediamo come è realizzato il circuito.

BC001÷BC081 agiscono direttamente sui package di ROM (DISL101-colonna 3); BC092 ripete BC091 tramite ponticello.

Inoltre BP190 ripete tramite ponticello BC101 per abilitare 2 package di ROM alla volta a seconda del valore logico di BC101:

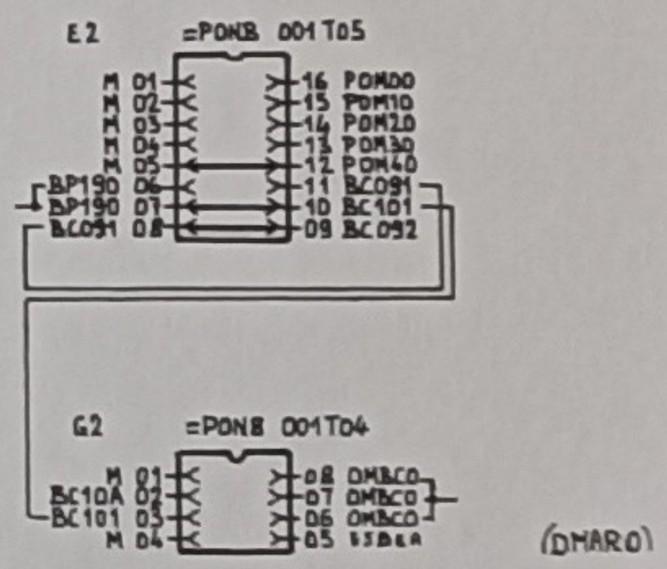


Fig. 2.4

- DISL 101 A5-M5 con BC101=0 → BP19N=1 (con i 2 package si abilitano 1024 parole di ROM)
- DISL 101 E5-R5 con BC101=1 → BP190=1 (con i 2 package si abilitano 1024 parole di ROM)

Tramite la programmazione dei ponticelli si ha la possibilità di selezionare solo uno dei 2 KW di ROM all'interno della zona già programmata.

Nelle figure 2.9 e 2.10 sono indicate rispettivamente le tabelle di programmazione per selezionare il 1° KW e il 2° KW della ROM; le figure 2.5 e 2.6 indicano la posizione dei ponticelli per selezionare il 1° KW da 8000 a 83FF e il 2° KW da 8400 a 87FF.

1° KW: SELEZIONE 8000 ÷ 83FF

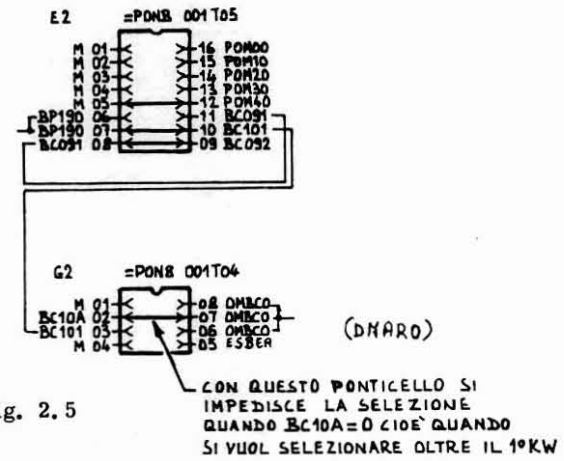


Fig. 2.5

2° KW: SELEZIONE 8400 ÷ 87FF

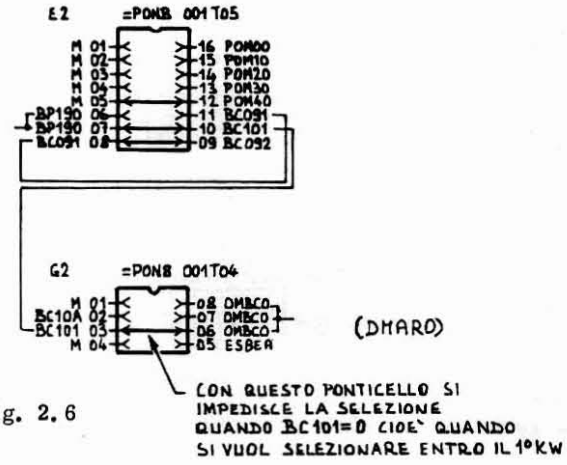


Fig. 2.6

2.2) Programmazione per la memoria in versione PROM

Con la PROM la capacità della memoria è di 1 KW//16; supponiamo che l'indirizzo d'inizio sia 3000.

Riferendoci alla tabella di programmazione in figura 2.11 i ponticelli da inserire sono quelli indicati in figura 2.7.

I package di PROM sono indirizzati direttamente da BC001÷ BC081 (si indirizzano 512 posizioni); BC092 non ripete BC091 però BP190 ripete BC091 in modo da abilitare 2 package di PROM alla volta:

- DISL 101 A5-M5 con BC091=0 → BP19N=1 (512 posizioni di PROM)
- DISL 101 E5-R5 con BC091=1 → BP190 =1 (512 posizioni di PROM)

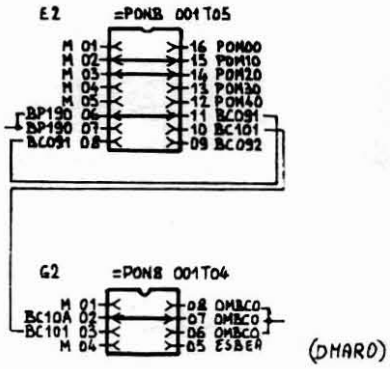


Fig. 2.7

Nella tabella di figura 2.12 vi sono i ponticelli per la programmazione di altre 32 zone di 1 KW ciascuna.

3 - TABELLE RIASSUNTIVE DELLA PROGRAMMAZIONE DELLA ROM

PONB	DISL 100 E2 PIASTRA 001T05		ROM ↓2 KW
01	M	POM00	
02	M	POM10	
03	M	POM20	
04	M	POM30	
05	M	POM40	
06	BP190	BC091	
07	BP190	BC101	•
08	BC091	BC092	•

00	08	10	18	20	28	30	38	40	48	50	58	60	68	70	78	80	88	90	98	A0	A8	B0	B8	C0	C8	D0	D8	E0	E8	F0	F8
00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00

07	F7	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF

Fig. 2.8

PONB	DISL 100 G2 PIASTRA 001T04		ROM
01	M	OMBCO	
02	BC10A	OMBCO	
03	BC101	OMBCO	
04	ESBEA	M	• = SINCR. INIZIO ALFA NC.= SINCR. INIZIO E FINE ALFA

(DHARO)

• =Ponticello collegato
NC= NON COLLEGATO

Tabella per la scelta del 1° KW

PONB	DISL 100 E2 PIASTRA 001T05		ROM ↓1 KW
01	M	POM00	
02	M	POM10	
03	M	POM20	
04	M	POM30	
05	M	POM40	
06	BP190	BC091	
07	BP190	BC101	•
08	BC091	BC092	•

00	08	10	18	20	28	30	38	40	48	50	58	60	68	70	78	80	88	90	98	A0	A8	B0	B8	C0	C8	D0	D8	E0	E8	F0	F8
00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00

03	FB	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF

Fig. 2.9

PONB	DISL 100 G2 PIASTRA 001T04		ROM
01	M	OMBCO	
02	BC10A	OMBCO	•
03	BC101	OMBCO	
04	ESBEA	M	• = SINCR. INIZIO ALFA NC = INIZIO E FINE ALFA

(DHARO)

Tabella per la scelta del 2° KW

PONB	DISL 100 E2 PIASTRA 001T05		ROM ↓1 KW
01	M	POM00	
02	M	POM10	
03	M	POM20	
04	M	POM30	
05	M	POM40	
06	BP190	BC091	
07	BP190	BC101	•
08	BC091	BC092	•

00	08	10	18	20	28	30	38	40	48	50	58	60	68	70	78	80	88	90	98	A0	A8	B0	B8	C0	C8	D0	D8	E0	E8	F0	F8
04	0C	40	4C	40	4C	40	4C	40	4C	40	4C	40	4C	40	4C	40	4C	40	4C	40	4C	40	4C	40	4C	40	4C	40	4C	40	4C
00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00

07	F7	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF

Fig. 2.10

PONB	DISL 100 G2 PIASTRA 001T04		ROM
01	M	OMBCO	
02	BC10A	OMBCO	
03	BC101	OMBCO	•
04	ESBEA	M	• = SINCR. INIZIO ALFA NC= SINCR. INIZIO E FINE ALFA

(DHARO)

4 - TABELLE RIASSUNTIVE DELLA PROGRAMMAZIONE DELLA PROM

PONB	DISL 100 E2 PIASTRA 001T05		PROM (1kW)
01	M	POM00	
02	M	POM10	
03	M	POM20	
04	M	POM30	
05	M	POM40	
06	BP190	BC091	
07	BP190	BC101	
08	BC091	BC092	

PONB	DISL 100 G2 PIASTRA 001T04		PROM
01	M	OMBCO	
02	BC10A	OMBCO	
03	BC101	OMBCO	
04	ESBEA	M	• = SINCR. INIZIO ALFA — NC = SINCR INIZIO E FINE ALFA (DMARO)

Fig. 2.11

• = Ponticello collegato
NC = NON COLLEGATO

PONB	DISL 100 E2 PIASTRA 001T05		PROM
01	M	POM00	
02	M	POM10	
03	M	POM20	
04	M	POM30	
05	M	POM40	
06	BP190	BC091	
07	BP190	BC101	
08	BC091	BC092	

PONB	DISL 100 G2 PIASTRA 001T04		PROM
01	M	OMBCO	
02	BC10A	OMBCO	
03	BC101	OMBCO	
04	ESBEA	M	• = SINCR. INZIO ALFA — NC = SINCR. INIZIO E FINE ALFA (DMARO)

Fig. 2.12